

Abstract

As for a semiconductor memory device formed by connecting a capacitor unit having an upper electrode, a dielectric layer and a lower electrode and a transistor unit with a plug, the lower electrode is placed as attached to the plug. Among Pt, Pt-Rh alloy and a Pt-Rh alloy oxide, the lower electrode is formed at least with the Pt-Rh alloy oxide. The plug is formed with polysilicon or tungsten. For instance, when the plug is formed with polysilicon, the lower electrode is formed by sequentially stacking a Pt-Rh oxide layer, a Pt-Rh alloy layer and a Pt-Rh alloy oxide on the plug.

특 1998-063820

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 29/40

(11) 공개번호 특 1998-063820  
(43) 공개일자 1998년 10월 07일

(21) 출원번호	특 1997-066138
(22) 출원일자	1997년 12월 05일
(30) 우선권주장	8-327153 1996년 12월 06일 일본(JP) 9-147863 1997년 06월 05일 일본(JP)
(71) 출원인	샤프가부시끼가이샤 켄지하루오
(72) 발명자	일본국 오사카후 오사카시 아베노구 나가미쵸 22번 22고 오쿠토아키라 일본국 효고현 고베시 히가시나다구 모리키타마치 4-10-13 나가타마사야 일본국 나라현 나라시 마오야마 3-1-6-103 미타라이슈운 일본국 나라현 덴리시 미치노모토초 2613-1, 샤프 아케보노료 469내 미토야스유키 일본국 가나가와현 요코하마시 아사히구 쓰루가미네 2-7-19-409
(74) 대리인	손창규, 백덕열, 이태희

심사청구 : 있음

(54) 반도체 기억장치 및 그의 제조방법

요약

상부 전극, 유전체 층 및 하부 전극을 갖는 커패시터부와 트랜지스터부를 플러그로 접속하여 이루어진 스택 구조의 반도체 기억 장치에 있어서, 상기 하부 전극은 상기 플러그에 접하여 설치되어 있다. 이 하부 전극은 백금, 백금로듐 합금, 및 백금로듐 합금의 산화물중 적어도 상기 백금로듐 합금의 산화물로 형성되어 있다. 상기 플러그는 폴리실리콘 또는 텅스텐에 의해 형성된다. 예를 들면, 상기 플러그와 폴리실리콘으로 형성될 때, 상기 하부 전극은 상기 플러그 쪽으로부터 백금로듐 합금 산화물 막, 백금로듐 합금 막 및 백금로듐 합금 산화물 막을 순차로 적층시킴으로써 형성된다.

도면도

도 1

발명자

도면의 간단한 설명

도 1은 본 발명의 반도체 기억장치의 제 1 실시 형태를 나타내는 단면도.  
도 2는 도 1에 나타난 반도체 기억장치의 강유전체 특성을 나타낸 도면.  
도 3은 도 1에 나타난 반도체 기억장치의 분극반전에 따른 피로특성을 나타낸 도면.  
도 4는 본 발명의 반도체 기억장치의 제 2 실시 형태를 나타낸 단면도.  
도 5는 본 발명의 반도체 기억장치의 제 3 실시 형태를 나타낸 단면도.  
도 6은 본 발명의 반도체 기억장치의 제 4 실시 형태를 나타낸 단면도.  
도 7은 본 발명의 반도체 기억장치의 제 5 실시 형태를 나타낸 단면도.  
도 8은 본 발명의 반도체 기억장치의 제 6 실시 형태를 나타낸 단면도.  
도 9는 본 발명의 반도체 기억장치의 제 7 실시 형태를 나타낸 단면도.  
도 10은 본 발명의 반도체 기억장치의 제 8 실시 형태를 나타낸 단면도.  
도 11은 본 발명의 반도체 기억장치의 제 9 실시 형태를 나타낸 단면도.  
도 12는 도 11에 나타난 반도체 기억장치에 있어서 고유전체 박막의 정전용량-주파수 특성을 나타낸 도면.  
도 13은 도 11에 나타난 반도체 기억장치에 있어서 고유전체 박막의 누설 전류밀도-인가전압특성을 나타낸

도면.

도14는 본 발명의 반도체 기억장치의 제 10 실시 형태를 나타내는 단면도.

도15는 도14에 나타난 반도체 기억장치의 강유전체 특성을 나타낸 도면.

도16은 본 발명의 반도체 기억장치의 제 11 실시 형태를 나타낸 단면도.

도17은 CMOS부와 캐패시터부를 폴리실리콘 플러그에 의해 전기적으로 접속한 종래의 반도체 기억장치의 단면도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억장치 및 그의 제조방법에 관한 것으로, 상세하게는 강유전체 메모리 및 고유전체 메모리의 셀 구조에 있어서 캐패시터부의 전극 구조의 개량에 관한 것이다.

현재, DRAM(Dynamic Random Access Memory)는 하나의 MOS(금속산화막 반도체) 트랜지스터와 하나의 캐패시터로 구성된 것이 주류이다. 이 1트랜지스터1캐패시터형의 DRAM에 있어서는 근년의 고집적화 및 미세화의 요청에 따라 셀의 용량을 확보하는 것이 매년 곤란해지고 있다. 그 때문에, 일반적인 동향으로서, 전극 면적을 늘림으로써 셀의 용량을 확보하고자 한다.

상기 전극 면적을 늘림으로써 셀의 용량을 확보하는 방법에 있어서는, 전극 구조를 입체화하여 전극 면적을 늘리는 것이지만, 제조공정을 매우 복잡화하기 때문에 현재로서는 이 방법에 의한 상기 전극 면적의 증대는 한계에 이르고 있다. 따라서, 집적화가 더 진행하면 이 방법에 의한 셀용량의 확보는 곤란해진다. 또한, 유전체 자신의 박막화도 한계에 부딪히고 있다. 그래서 유전체를  $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$  ( $0 \leq x \leq 1$ ) 등의 산화물 고유전체를 재료(소위, 고유전체 재료)로 대체함으로써 셀의 용량을 확보하는 방법이 검토되고 있다.

한편, 근년의 박막 형성 기술의 진전에 따라, 박막 형성 기술과 반도체 메모리 형성기술을 조합시킴으로써 고밀도로 또는 고속으로 동작하는 강유전체 비휘발성메모리(FerAM)의 개발이 성행하고 있다.

이 강유전체 박막을 사용한 비휘발성 메모리는 그 고속기입/독출, 저전압동작 및 반복기입/독출의 고내성 등의 점에서 종래의 비휘발성 메모리인 EPROM(자외선)소거가능 Programmable Read Only Memory, EEPROM(전기적 소거가능 PROM) 및 플래쉬 메모리(Flash Memory)로의 치환뿐만 아니라 SRAM(Static RAM) 및 DRAM으로의 치환도 가능한 메모리로서 실용화를 향한 연구개발이 활발히 이루어지고 있다.

#### 발명이 이루고자 하는 기술적 과제

상기 강유전체 비휘발성 메모리의 캐패시터부에 사용되는 강유전체 재료로서는  $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$  (이하, 'PZT'라함)와 PZT에 비해 피로특성이 좋고 저전압 구동이 가능한  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 와  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 가 검토되고 있다. 그러나, 이들 강유전체와 고유전체의 특성을 얻기 위해서는  $400^\circ\text{C} \sim 800^\circ\text{C}$ 의 고온 산화 분위기 중에서의 열처리 공정이 필요하게 된다.

상술한 바와 같은 강유전체와 고유전체의 재료를 사용하며 고집적화한 스택형 DRAM과 FerAM을 제조하는 경우에는 CMOS(상보형 MOS)부와 캐패시터부를 폴리실리콘 등으로 이루어진 플러그를 이용하여 전기적으로 접속하여 접속을 이루는 방법이 일반적이다. 도17은 그 일례를 나타낸 도면이고, 동 도면에서 참조번호5가 플러그를 나타내고 있다. 그리고, 상기 캐패시터부의 하부 전극(10)으로서는 고온 막 제조 공정시의 산화 반응내성이 높은 백금(Pt)이 사용되고 있다.

이 경우, 상기 캐패시터부의 하부 전극(10)과 플러그(5)의 사이에는 질화티탄(TiN) 등의 질화금속에 의해 배리어메탈(11)을 형성할 필요가 있다. 이 배리어메탈(11)에 의해 하부 전극(10)의 Pt와 플러그(5)의 폴리실리콘의 반응을 방지하고, 강유전체막(8)(혹은 고유전체막)을 구성하는 각 원소가 열처리 공정 중에 하부 전극(10)을 통해 CMOS측의 다른 막층으로 확산하는 것을 방지하는 것이다.

또한, 1은 실리콘 기판, 2는 게이트 전극, 3은 소스 영역, 4는 드레인 영역, 6은 로코스 산화막, 7 및 9는 중간 절연막, 12는 캐패시터부의 상부 전극이다.

그러나, 도17에 나타낸 CMOS부와 캐패시터부를 플러그(5)에 의해 전기적으로 접속한 반도체 기억장치에는 이하와 같은 문제가 있다.

즉, 상기 배리어메탈(11)은 강유전체막(8)의 각 원소가 열처리 공정 중에 다른 막층으로 확산하는 것을 방지하는 효과를 충분히 발휘하기 위해서는 2000Å 정도의 막 두께를 필요로 한다. 그 결과, 배리어메탈(11)의 상부에 있는 하부 전극(10)의 막 두께 1000Å와 합치면 3000Å 정도로 되고, 상기 강유전체(8)도 포함한 캐패시터부 전체의 막 두께도 증가하여 캐패시터부에 큰 단차가 생기게 된다.

따라서, 다시 중간 절연막(9)을 형성한 후에 이 중간 절연막(9)에 콘택홀을 개방할 때와 메탈 배선을 형성할 때에, 미세 가공시의 포토리소그래피 공정에서 상기 캐패시터부의 큰 단차에 기인하여 오차가 생기고, 서브미크론의 가공이 곤란하게 되는 문제가 있다.

또한, 상술한 바와같이, TiN에 의하여 배리어메탈(11)을 형성하면, 강유전체(8)(고유전체)의 열처리시 하부 전극(10)의 Pt를 통해 열처리 분위기의 산소에 의해 TiN이 용이하게 산화되고, 체적 변화와 막 스트레스에 의해 TiN(배리어메탈 11)과 Pt(하부 전극 10)의 사이에 박리가 일어나기도 하고, Pt(하부 전극

10) 자체의 힘과 크랙의 원인으로 되는 경우도 있다.

여기에서, 본 발명의 목적은 커패시터부의 하부 전극과 플러그 사이의 양호한 접촉이 얻어지고 또한 커패시터부의 단차에 의한 가공시의 장해를 저감할 수 있는 반도체 기억장치, 및 그 반도체 기억장치의 제조 방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명은, 상부 전극, 유전체층 및 하부 전극을 갖는 커패시터부와 트랜지스터부를 플러그로 접속하여 이루어진 스택 구조의 반도체 기억장치에 있어서, 상기 하부 전극은 상기 플러그의 바로 위에 설치되고, 백금, 백금로듐 합금, 및 백금로듐 합금의 산화물중 적어도 상기 백금로듐 합금의 산화물로 형성되어 있는 것을 특징으로 하는 반도체 기억장치를 제공한다.

상기 구성에 의하면, 커패시터부의 하부 전극의 적어도 일부를 구성하는 백금로듐 합금 산화물에 의해, 상기 유전체층의 형성시에 산소 분위기가 폴리실리콘 플러그 측에 투과하는 것이 방지된다. 따라서, 폴리실리콘 플러그의 표면이 산화되지 않고, 트랜지스터부와 커패시터부의 사이에는 양호한 접촉이 얻어진다.

그 결과, 상기 하부 전극과 폴리실리콘 플러그의 반응을 방지하기 위한 배리어메탈이 불필요하게 되고, 커패시터부의 단차가 작아진다. 따라서, 커패시터부에 대한 미세가공이 정밀도 높게 행해진다.

상기 플러그의 재료에는 폴리실리콘 및 텅스텐이 포함된다.

상기 구성의 반도체 기억장치는, 예를들면, 다음의 공정, 예컨대

실리콘 기판 상에 트랜지스터를 형성하여 중간절연막으로 피복하는 공정,

상기 중간절연막에 상기 트랜지스터의 드레인 영역과 연통하는 콘택홀을 개방하여 플러그 재료를 매립하여 플러그를 형성하는 공정,

상기 플러그의 바로 위에 백금, 백금로듐 합금, 및 백금로듐 합금 산화물중 적어도 상기 백금로듐 합금 산화물로 하부 전극을 형성하는 공정,

질소 분위기 중에서 열처리하는 공정,

상기 하부 전극상에 유전체층을 형성한 후, 이 유전체층상에 상부 전극을 형성하는 공정을 포함하는 방법에 의해 제조될 수 있다.

이 제조방법은, 상기 하부 전극에 대해 질소 분위기 중에서 열처리하기 때문에, 상기 하부 전극의 결정성이 향상하고, 상부에 형성되는 유전체층의 누설 전류가 적어진다.

또한, 하부 전극 형성후에 질소 분위기 중에서 행하는 열처리는 400°C ~ 700°C에서 행하는 것이 바람직하다. 이렇게 함으로써 상기 하부 전극을 질소 분위기 중에서 열처리를 행할 때에 상기 하부 전극의 결정성이 확실히 향상된다.

일 실시형태에 따라서, 상기 플러그는 폴리실리콘으로 형성되어 있고, 상기 하부 전극은 상기 플러그 측으로부터 순차적으로 형성된 백금로듐 합금 산화물막, 백금로듐 합금막 및 백금로듐 합금 산화물막을 갖고 있다.

상기 구성에 의하면, 2층의 백금로듐 합금 산화물에 의해 상기 유전체층 형성시에 있어서 산소 분위기의 투과가 효과적으로 방지된다.

이 실시 형태의 반도체 기억장치는 예를들면, 다음 공정,

실리콘 기판 상에 트랜지스터를 형성하여 중간절연층으로 피복하는 공정,

상기 중간절연층에 상기 트랜지스터의 드레인 영역과 연통하는 콘택홀을 개방하여 폴리실리콘을 매립하여 폴리실리콘 플러그를 형성하는 공정,

상기 폴리실리콘 플러그의 바로 위에 하부 전극의 일부를 이루는 백금로듐 합금 산화물 막 및 백금로듐 합금막을 순차적으로 형성하는 공정,

산소 분위기 중에서 열처리함으로써 상기 백금로듐 합금막의 표면을 산화시켜 백금로듐 합금 산화물층을 형성하고, 상기 하부 전극을 완성하는 공정,

상기 하부 전극 상에 유전체층을 형성한 후, 이 유전체층상에 상부 전극을 형성하는 공정을 포함하는 방법에 의해 제조될 수 있다.

이 방법은 산소 분위기 중에서 열처리함으로써 백금로듐 합금막의 표면을 산화하고, 이에 의해 최상층의 백금로듐 합금 산화물막을 형성하기 때문에 적은 막 제조 공정으로 하부 전극을 형성할 수 있다.

또한, 이 경우, 폴리실리콘 플러그에 접속하여 형성되는 백금로듐 합금 산화물의 막 두께를 100 Å ~ 500 Å으로 하고, 이 백금로듐 합금 산화물상에 적층되는 백금로듐 합금의 막 두께를 200 Å ~ 1000 Å으로 하고, 이 백금로듐 합금상에 적층되는 백금로듐 합금 산화물의 막 두께를 200 Å ~ 1000 Å으로 하는 것이 바람직하다.

상기 구성에 의하면, 2층의 백금로듐 합금 산화물에 의해 상기 유전체층 형성시에 있어서 산소 분위기의 투과가 확실히 방지되고, 상기 유전체층의 누설 전류 특성이 최적으로 유지되고, 또한 상기 커패시터부의 단차가 작아진다.

또한, 상기 산소 분위기 중에서 행해지는 열처리는 400°C ~ 700°C에서 행하는 것이 바람직하다. 이와 같이 하면, 상기 백금로듐 합금막의 표면에 상기 백금로듐 합금 산화물의 막이 최적으로 형성된다.

상기 하부 전극은 상기 폴리실리콘 플러그층의 백금로듐 합금 산화물막과 그 위의 백금로듐 합금막만으로 형성할 수도 있다. 이 경우, 하부 전극은 2층만으로 형성되기 때문에 하부 전극의 막 제조공정이 간단해진다.

또한, 상술한 바와 마찬가지로 폴리실리콘 플러그에 접촉하여 형성되는 백금로듐 합금 산화물의 막 두께를 100Å~500Å으로 하고, 이 백금로듐 합금 산화물상에 적층되는 백금로듐 합금의 막 두께를 200Å~1000Å으로 하는 것이 바람직하다.

상기 구성에 의하면, 백금로듐 합금 산화물에 의해 상기 유전체층 형성시에 있어서 산소 분위기의 투과가 확실히 방지되고, 상기 유전체층의 누설 전류 특성이 최적으로 유지되고, 또한 상기 커패시터부의 단차가 작아진다.

또한, 상기 하부 전극은 백금로듐 합금 산화물막만으로 형성될 수 있다. 이렇게 하면, 상기 하부 전극의 막 제조공정을 간단하게 할 수 있다. 또한, 이 경우에는, 백금로듐 합금 산화물막의 막 두께를 500Å~2000Å으로 하는 것이 바람직하다. 이렇게 하면, 상기 유전체층의 형성시에 산소 분위기의 투과를 확실히 방지하고, 또한 상기 거부의 단차를 작게 할 수 있다.

또한, 본 발명의 상기 각 실시형태에서, 상기 폴리실리콘 플러그에 접촉하여 형성되는 백금로듐 합금 산화물막에 있어서 산소 원소의 전체 원소에 대한 함유율은 2%~30%로 하는 것이 바람직하다.

이 구성에 의하면, 상기 하부 전극의 일부 또는 전부를 구성하는 백금로듐 합금 산화물의 모폴로지가 악화되지 않고, 그에 따라 그 위에 형성되는 유전체층의 결정성이 악화되지 않으며, 또한, 상기 유전체층 형성시에 산소 분위기의 투과 방지가 확실히 행해진다.

또, 상기 하부 전극은 상기 플러그층으로부터, 백금로듐 합금막, 백금로듐 합금 산화물막 및 백금로듐 합금막을 순차적으로 적층함으로써 형성하여도 좋다. 이 구성에 의하면, 플러그(예를들면, 폴리실리콘 플러그)의 바로 위에 백금로듐금속을 형성하고 있기 때문에, 플러그와 하부 전극의 밀착성이 향상하여 트랜지스터부와 커패시터부의 사이에는 양호한 접촉이 얻어진다.

또, 이 경우에, 상기 플러그에 접촉하여 형성되는 백금로듐 합금의 막 두께를 100Å~1000Å으로 하고, 이 백금로듐 합금상에 적층되는 백금로듐 합금 산화물의 막 두께를 100Å~800Å으로 하고, 이 백금로듐 합금 산화물상에 적층되는 백금로듐 합금의 막 두께를 200Å~500Å으로 하는 것이 바람직하다. 이렇게 함으로써, 백금로듐 합금 산화물에 의해 상기 유전체층 형성시에 있어서 산소 분위기의 투과가 확실히 방지되고, 상기 하부 전극의 최하층을 이루는 백금로듐 합금과 상기 플러그가 확실히 밀착되고, 또 상기 커패시터부의 단차가 작아진다.

또, 상기 하부 전극은 상기 플러그층으로부터, 백금로듐 합금막 및 백금로듐 합금 산화물막을 순차적으로 적층함으로써 형성하여도 좋다. 이 구성에 의하면, 플러그(예를들면, 폴리실리콘 플러그)의 바로 위에 백금로듐금속을 형성하고 있기 때문에, 상기 플러그와 하부 전극의 밀착성이 향상하여 트랜지스터부와 커패시터부의 사이에는 양호한 접촉이 얻어진다.

또, 이 경우에, 상기 플러그에 접촉하여 형성되는 백금로듐 합금의 막 두께를 100Å~1000Å으로 하고, 이 백금로듐 합금상에 적층되는 백금로듐 합금 산화물의 막 두께를 100Å~800Å으로 하는 것이 바람직하다. 이렇게 함으로써, 백금로듐 합금 산화물에 의해 상기 유전체층 형성시에 있어서 산소 분위기의 투과가 확실히 방지되고, 상기 하부 전극의 최하층을 이루는 백금로듐 합금과 상기 플러그가 확실히 밀착되고, 또 상기 커패시터부의 단차가 작아진다.

하부 전극이 백금로듐 합금막과 백금로듐 합금 산화물막으로 이루어진 반도체 기억장치는 이룰데면, 다음 공정, 즉

실리콘 기판 상에 트랜지스터를 형성한 후에 층간절연막으로 피복하는 공정, 상기 층간절연막에 상기 트랜지스터의 드레인 영역과 연통하는 콘택홀을 개방하여 플러그재료를 매립하여 상기 플러그를 형성하는 공정,

상기 플러그의 바로 위에 하부 전극의 일부를 이루는 백금로듐 합금층을 형성하는 공정,

산소 분위기 중에서 열처리하여 상기 백금로듐 합금층의 표면에 상기 백금로듐 합금 산화물의 막을 형성하고, 상기 하부 전극을 완성하는 공정,

상기 하부 전극 상에 유전체층을 형성한 후, 이 유전체층 상에 상부 전극을 형성하는 공정을 포함하는 방법에 의해 제조될 수 있다.

이 제조 방법은 상기 백금로듐 합금막을 형성한 후에 산소 분위기 중에서 열처리함으로써 백금로듐 합금 산화물막을 형성하기 때문에 적은 막 제조 공정으로 하부 전극을 형성할 수 있다.

또한, 이 경우, 상기 플러그(예를들면, 폴리실리콘 플러그)에 접촉하는 백금로듐 합금층은 두께 500Å~2000Å으로 형성하는 것이 바람직하다. 이와 같이 함으로써, 상기 하부 전극의 최하층의 백금로듐 합금과 상기 플러그를 확실하게 밀착할 수 있고, 또한 상기 커패시터부의 단차를 작게 할 수 있다.

또, 상기 하부 전극은 상기 플러그(예를들면, 폴리실리콘 플러그)층으로부터, 백금막, 백금로듐 합금 산화물막 및 백금막을 순차적으로 적층시켜 형성하여도 좋다. 이 구성에 의하면, 플러그의 바로 위에 백금층을 형성하고 있기 때문에, 상기 플러그와 하부 전극의 밀착성이 향상되어 트랜지스터부와 커패시터부의 사이에는 양호한 접촉이 얻어진다.

또, 이 경우에, 상기 플러그에 접촉하여 형성되는 백금막의 두께를 100Å~1000Å으로 하고, 이 백금 상에 적층되는 백금로듐 합금 산화물의 막 두께를 100Å~800Å으로 하고, 이 백금로듐 합금 산화물막 상에 적층되는 백금막의 막 두께를 200Å~500Å으로 하는 것이 바람직하다. 이렇게 함으로써, 백금로듐 합금 산화물막에 의해 상기 유전체층 형성시에 있어서 산소 분위기의 투과가 확실히 방지되고, 상기 하부 전극

의 최하층을 이루는 백금과 상기 플러그가 확실히 밀착되고, 또 상기 커패시터부의 단차가 작아진다.

상기 백금로듐 합금 산화물막 상의 백금 막은 생략할 수도 있다. 이 경우에는, 상기 하부 전극의 막 제조공정이 간략해진다.

텅스텐은 백금과 반응성이 실리콘보다 낮다. 따라서, 상기 플러그를 텅스텐으로 형성시킨 경우에는, 상기 백금막 혹은 백금로듐 합금 막 형성시와 상기 유전체 층에 대한 열처리시에 상기 플러그중의 원소와 백금 혹은 백금로듐 합금 중의 백금이 반응되지 않는다.

일 실시형태에서, 상기 하부 전극은 상기 텅스텐 플러그 측으로 부터 순차적으로 형성된 백금막 또는 백금로듐 합금막의 어느 일방과 백금로듐 합금 산화물막을 구비하고 있다.

상기 실시형태에 의하면, 상기 유전체 층에 대한 열처리시에, 상층의 하부 전극으로서의 백금로듐 합금 산화물로 부터 텅스텐플러그측으로의 산소 확산이 하층의 하부 전극으로서의 상기 백금막 또는 백금로듐 합금 막에 의해 방지된다. 이렇게 하여 상기 커패시터부와 트랜지스터부의 접착성이 더욱 향상된다.

상기 하부 전극은 상기 백금로듐 합금 산화물층 상에 백금막 또는 백금로듐 합금 막의 어느 일방을 더 구비하여도 좋다.

상기 구성에 의하면, 상기 하부 전극의 최상층에(111) 배향하고 있는 백금을 포함하는 금속막이 형성되어 있다. 따라서, 상기 하부 전극 상에 형성되는 유전체 층의 결정성이 좋아지고, 가우전체와 누설 전류 특성이 향상된다.

이하, 본 발명을 도시된 실시 형태에 의해 상세히 설명한다.

산화로듐( $RhO_x$ )은 도전성이 우수하고(비저항치 $=50\sim 200\ \mu\Omega\text{cm}$ ), 불순물 확산 차단성을 갖는다. 특히, 산소 차단성이 우수하다.

그리고, 본 발명에서는 커패시터부의 하부 전극을 Pt, 백금로듐 합금( $PtRh$ ) 또는 백금로듐 합금 산화물( $PtRhO_x$ )중 적어도  $PtRhO_x$ 로 형성함으로써 가우전체(고유전체) 층 형성시에 폴리실리콘 플러그가 산화되는 것을 방지하여 커패시터부와 CMOS부의 양호한 접착을 이룬다. 또한, 이렇게 하여 TiN 등의 배리어메탈을 불필요하게 하여 상기 커패시터부의 단차를 작게한다.

(제1실시형태)

도1은 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

본 반도체 기억장치는 다음과 같은 구성을 갖고 있다. 즉 실리콘 기판(21)상에 게이트 전극(22), 소스 영역(23) 및 드레인 영역(24)을 갖는 MOS(CMOS)을 구성하는 일방의 MOS이(타방의 MOS는 생략)가 형성되어 있고, 다시, 중간 절연막(26)으로 피복되어 있다. 또, 25는 로코스 산화막이다. 그리고, 중간 절연막(26)에는 상기 CMOS부와 커패시터부를 접속하기 위한 폴리실리콘 플러그(27)가 형성되어 있다. 중간 절연막(26)상에서 폴리실리콘 플러그(27)의 위치에는 커패시터부의 하부 전극층을 구성하는 3개의 막(28, 29, 30)(이하, 각각을 하부 전극이라 부른다)이 순차적으로 적층되어 있고, 다시 최상층의 하부 전극(30)상에는 가우전체 박막(31)이 형성되어 커패시터부가 형성되어 있다. 그리고, 하부 전극(28, 29, 30) 및 가우전체박막(31)의 벽과 중간 절연막(26)의 상면은 중간 절연막(32)으로 피복되어 있고, 상기 커패시터부의 상부에는 상부 전극층을 구성하는 3개의 막(33, 34, 35)(이하, 각각을 상부 전극이라 부른다)이 순차적으로 적층되어 있다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다.

P형 실리콘 기판(21)상에 소자분리를 위한 로코스 산화막(25)을 5000Å의 막 두께로 형성한다. 그리고, 미온주입에 의해 CMOS의 소스 영역(23) 및 드레인 영역(24)을 형성한 후, 게이트 전극(22)을 형성한다.

그 다음, 소택 상에 커패시터부를 형성하기 위해, CVD법(화학증착법)에 의해 실리콘산화막을 5000Å의 막 두께로 형성하여 중간 절연막(26)으로 한다. 계속해서, 직경 0.5 $\mu\text{m}$ 의 콘택홀을 형성하고, 이 콘택홀에 CVD법으로 폴리실리콘을 매립한 후, 케미칼메카니칼폴리싱(CMP)법에 의해 표면을 평탄화하여 폴리실리콘 플러그(27)를 형성한다.

다음에, 상기 폴리실리콘 플러그(27)의 바로 위에, DC마그네트론반응성 스퍼터법으로 막 두께 100Å~500Å(바람직하게는 200Å)의  $PtRhO_x$  막을 막 제조온도 250°C에서 형성하여 최하층의 하부 전극(28)으로 한다. 다시 그 위에 DC마그네트론스퍼터법으로 막두께 200Å~1000Å(바람직하게는 800Å)의  $PtRh$  막을 막 제조온도 250°C에서 형성하여 중간층의 하부 전극(29)으로 한다. 다시 그 위에 DC마그네트론반응성 스퍼터법으로 막두께 200Å~1000Å(바람직하게는 300Å)의  $PtRhO_x$  막을 막 제조온도 250°C에서 형성하여 최상층의 하부 전극(30)으로 한다. 또, 3층의 하부 전극(28, 29, 30)은 아르곤과 산소의 유량비를 변경하여 연속적으로 막을 제조한다.

이와 같이 하여 형성된 하부 전극(28, 29, 30)전체의 최적 막 두께는 1300Å으로 되고, 도1'에 나타낸 바와 같은 TiN을 배리어메탈(11)로 한 경우의 배리어메탈(11)과 하부 전극(10)의 합계 막 두께 3000Å 정도와 비교하면, 절반 정도로 얇아질 수 있다. 최대 막 두께 2500Å이더라도 종래의 배리어메탈(11)과 하부 전극(10)의 합계 막두께 3000Å 정도보다도 얇게 할 수 있다.

따라서, 상기 커패시터부의 단차를 작게 할 수 있고, 중간 절연막(32)에 콘택홀을 개방할 때와, 상부 전극(33, 34, 35)에 대한 메탈배선을 형성할 때에, 미세 가공시의 포토리소그래피 공정에서 오차가 생기지 않는다.

그 다음, 졸겔법에 의해 PZT 박막을 막 두께 200Å으로 형성하여 가우전체 박막(31)으로 하고, 급속 어닐링(Rapid Thermal Annealing, RTA) 장치에 의해 산소와 질소의 혼합분위기 중에서 660°C에서 30초간 어닐링 소성한다.

다음에, 상기 강유전체 박막(PZT 박막)(31)과 하부 전극(28,29,30)을 드라이에칭법으로, 이를테면  $3.0\mu\text{m}$  각의 크기로 가공한다. 그 후, 중간 절연막(32)으로서 CVD법에 의해 실리콘산화막을 형성한 후, 강유전체 박막(31)상의 중간 절연막(32)에 콘택홀을 형성한다.

그리고, 상기 커패시터부의 상부에, DCD그네트론 반응성 스퍼터법으로 막 두께  $200\text{\AA} \sim 1000\text{\AA}$  (바람직하게는  $300\text{\AA}$ )의 PtRh<sub>0</sub> 막을 막 제조온도  $250^\circ\text{C}$ 에서 형성하여 최하층의 상부 전극(33)으로 한다. 다시 그 위에 DCD그네트론스퍼터법으로 막두께  $200\text{\AA} \sim 1000\text{\AA}$  (바람직하게는  $800\text{\AA}$ )의 PtRh 막을 막 제조온도  $250^\circ\text{C}$ 에서 형성하여 중간층의 상부 전극(34)으로 한다. 다시 그 위에 DCD그네트론반응성 스퍼터법으로 막 두께  $100\text{\AA} \sim 500\text{\AA}$  (바람직하게는  $200\text{\AA}$ )의 PtRh<sub>0</sub> 막을 막 제조온도  $250^\circ\text{C}$ 에서 형성하여 최상층의 상부 전극(35)으로 한다.

그 다음, 상기 상부 전극(33,34,35)을 드라이에칭법으로 가공하고 최후로 상기 CMOS부의 소스 영역(23)으로 부터의 인출전극을 형성한다.

여기서, 상기 하부 전극의 최하층(28)으로 되는 PtRh<sub>0</sub> 막의 두께를  $100\text{\AA}$ 이하로 하면, 후에 절결법에 의해 강유전체 박막(31)을 형성할 때 산소가스 분위기가 폴리실리콘 플러그(27)측에 투과하여 폴리실리콘이 산화되어 CMOS부와 커패시터부의 양호한 접촉이 얻어지지 않는다. 한편,  $500\text{\AA}$ 이상의 막 두께로 하는 것은 커패시터부 전체의 막 두께를 증가시키게 되어 바람직하지 않다. 더욱이, 막 제조온도를  $450^\circ\text{C}$  이상으로 하면, PtRh<sub>0</sub> 막을 형성시킬 때 산소플라즈마 분위기 중에서 폴리실리콘 플러그 표면이 산화되어 폴리실리콘 플러그(27)와 양호한 접촉 특성을 얻을 수 없다.

또, 상기 PtRh<sub>0</sub> 막에 있어서 산소 원소의 전체 원소에 대한 함유율이 30%를 초과하면, PtRh<sub>0</sub> 막의 모폴로지가 급격히 악화되고, 그 위에 형성되는 강유전체 박막(31)의 결정성이 악화된다. 그 결과, 커패시터 누설 전류 특성도 매우 나빠진다. 한편,  $2\%$ 이하로 되면, 강유전체 박막(31)을 형성할 때의 산소 가스 분위기가 폴리실리콘 플러그(27)측에 투과하여 폴리실리콘이 산화되어 CMOS부와 커패시터부의 양호한 접촉이 얻어지지 않는다.

또한, 상기 중간층의 하부 전극(29)으로 되는 PtRh막의 두께를  $200\text{\AA}$ 이하로 하면, 강유전체 박막(31)의 누설 전류특성이 1디지트 정도 커진다. 한편,  $500\text{\AA}$ 이상의 막 두께로 하는 것은 커패시터부 전체의 막 두께를 증가시키게 되어 바람직하지 않다.

또, 형성된 PtRh의 원소 조성비는 Pt: Rh= 90 : 10이다.

또한, 상기 최상층의 하부 전극(30)으로 되는 PtRh<sub>0</sub> 막의 두께를  $200\text{\AA}$ 이하로 하면, 후에 강유전체 박막(31)을 형성할 때 산소가스 분위기가 폴리실리콘 플러그(27)측에 투과하여 폴리실리콘이 산화되어 CMOS부와 커패시터부의 양호한 접촉이 얻어지지 않는다. 더욱이, 막이 형성된 강유전체 박막(31)에 주파수  $100\text{kHz}$ , 듀티비5%, 전압 5V의 스트레스펄스를 인가한 때의 분극반전에 따르는 피로특성이  $10^{11}$ 주기 후에 초기값의 42%로 매우 낮아진다. 한편,  $1000\text{\AA}$ 이상의 막 두께로 하는 것은 커패시터부 전체의 막 두께를 증가시키게 되어 바람직하지 않다.

상술 한 바와같이 하여 형성된 반도체 기억장치에 있어서 강유전체를 갖는 커패시터부의 상부 전극(33,34,35)과, 소스 영역(23)의 인출 전극 사이에 전압펄스를 인가하여 강유전체 특성(전계-분극 특성)을 구하였다. 그 결과, 도2에 나타난 바와같이, 강유전체 커패시터로서 사용하는데 충분한 크기의 강유전 특성을 가장과 동시에 대칭성이 무너지지않는 히스테리시스 루프가 얻어졌다.

이 것은, 도17에 나타난 종래의 반도체 기억장치에 있어서 TiN의 배리어메탈(11)과 백금의 하부 전극(10)의 사이에 생긴 바리는 발생되지 않고, 본 반도체 기억장치에 있어서 폴리실리콘 플러그(27)와 하부 전극(28,29,30)의 사이에는 양호한 접촉이 이루어진다는 것을 나타내고 있다.

또한, 도30에는 상기 커패시터부의 상부 전극(33,34,35)과 소스 영역(23)의 인출전극의 사이에 주파수  $100\text{kHz}$ , 듀티비5%, 전압 5V의 스트레스펄스를 인가한 때의 분극반전에 따르는 피로특성을 나타낸다. 이 경우에는  $10^{11}$ 주기 후에 있어서도 잔류 분극값Pr은 초기값Pr0의 96%를 유지하고, 도17에 나타난 종래의 반도체 기억장치의 경우에는 36%까지 저하하는 것과 비교하면, 본 실시 형태에 의하면, 피로 특성이 매우 양호해진다는 것이 입증되었다.

이와 같이, 본 실시 형태에 있어서는, 상기 폴리실리콘 플러그(27)의 바로 위에 형성되는 하부 전극(28)을 PtRh<sub>0</sub>막/PtRh막/PtRh<sub>0</sub>막의 3층에 형성하고 있기 때문에 강유전체 박막(31)을 형성할 때에 폴리실리콘 플러그(27)측으로 투과하려는 산소 분위기가 PtRh<sub>0</sub>막에 의해 차단된다. 따라서, 폴리실리콘 플러그(27) 표면의 산화가 방지되고, 커패시터부와 CMOS 부의 양호한 접촉이 이루어진다.

그 결과, 종래의 반도체 기억장치와 같은 TiN의 배리어메탈을 필요로 하지 않고, 커패시터부의 단차를 작게 할 수 있다. 따라서, 상기 커패시터부 주변의 미세가공시에 생기는 상기 단차에 기인하는 가공상의 폐해를 없앨 수 있다.

(제2실시형태)

제1 실시 형태에 있어서 PtRh<sub>0</sub>막, PtRh막, PtRh<sub>0</sub>막의 3층으로 이루어진 하부 전극(28)은 본 실시 형태와 같은 방법에 의해서도 형성될 수 있다.

도4는 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(41), 게이트 전극(42), 소스 영역(43), 드레인 영역(44), 로코스 산화막(45), 중간 절연막(46), 폴리실리콘 플러그(47), 강유전체 박막(50) 및 중간 절연막(51)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 중간

절연막(26), 폴리실리콘 플러그(27), 강유전체 박막(31) 및 층간 절연막(32)과 동일한 구성을 갖고 있다. 본 실시 형태에 있어서, 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 1 실시 형태와 동일한 순서로 P형 실리콘 기판(41) 상에 로코스 산화막(45), 소스 영역(43), 드레인 영역(44), 게이트 전극(42), 층간 절연막(46) 및 폴리실리콘 플러그(47)를 순차적으로 형성한다.

그 다음, 상기 폴리실리콘 플러그(47)의 바로 위에, DC마그네트론반응성 스퍼터법으로 막 두께 100 Å ~ 500 Å (바람직하게는 200 Å)의 PtRhO<sub>2</sub> 막을 막 제조온도 250°C에서 형성하여 하층의 하부 전극(48)으로 한다. 다시 그 위에 DC마그네트론스퍼터법으로 막두께 200 Å ~ 1000 Å (바람직하게는 800 Å)의 PtRh 막을 막 제조온도 250°C에서 형성하여 상층의 하부 전극(49)으로 한다. 또, 2층의 하부 전극(48, 49)은 마르코프 산소의 유량비를 변경하여 연속적으로 막을 제조한다.

여기서, 상기 하층의 하부 전극(48)으로 되는 PtRhO<sub>2</sub>막의 두께를 100 Å 이하로 하면, 후에 강유전체 박막(50)을 형성할 때의 산소가스 분위기가 폴리실리콘 플러그(47)측에 투과하여 폴리실리콘이 산화되어 CMOS부와 캐패시터부의 양호한 접촉이 얻어지지 않는다. 한편, 500 Å 이상의 막 두께로 하는 것은 캐패시터부 전체의 막 두께를 증가시키게 되어 바람직하지 않다. 더욱이, PtRhO<sub>2</sub>막에 있어서 산소 원소의 전체 원소에 대한 함유율은 제 1 실시 형태와 동일한 이유로 부터 2% ~ 30%로 된다.

또한, 상기 상층의 하부 전극(49)으로 되는 PtRhO<sub>2</sub>막의 두께를 200 Å 이하로 하면, 강유전체 박막(50)의 누설 전류 특성이 1디지트 정도 커진다. 한편, 1000 Å 이상의 막 두께로 하는 것은 캐패시터부 전체의 막 두께를 증가시키게 되어 바람직하지 않다.

그 후, 상기 2층의 하부 전극(48, 49)을 550°C의 산소 분위기 중에서 10분간 어닐링 한다. 이렇게 하여, 산소 분위기 중에서 어닐링 함으로써 상층의 하부 전극(49)인 PtRh막의 표면이 산화되어 PtRhO<sub>2</sub>의 층(49')이 형성되어 제 1 실시 형태와 동일한 PtRhO<sub>2</sub>막/PtRh막/PtRhO<sub>2</sub>막의 3층으로 이루어진 하부 전극LE가 얻어진다.

이 경우, 어닐링 온도를 400°C 이하로 한 경우에는, 상층의 하부 전극(49)의 표면에 PtRhO<sub>2</sub>의 층(49')은 형성되지 않는다. 또, 어닐링 온도를 700°C 이하로 한 경우에는, 상층의 하부 전극(49)의 표면에 형성된 PtRhO<sub>2</sub>가 환원되기 때문에, 제 1 실시 형태의 경우와 동일한 효과를 얻어지지 않는다.

그 다음, 제 1 실시 형태와 동일한 순서로, 상기 강유전체 박막(50)을 형성하여 어닐링 소성하고, 층간 절연막(51)을 형성하여 강유전체 박막(50)으로의 콘택홀을 형성한다.

다음에, 상기 캐패시터부의 상부에, DC마그네트론 스퍼터법으로 막 두께 200 Å ~ 1000 Å (바람직하게는 800 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 하층의 상부 전극(52)으로 한다. 다시 그 위에 DC마그네트론 반응성 스퍼터법으로 막두께 100 Å ~ 500 Å (바람직하게는 200 Å)의 PtRhO<sub>2</sub>막을 막 제조온도 250°C에서 형성하여 상층의 상부 전극(53)으로 한다.

그 다음, 상기 상부 전극(52, 53)을 드라이에칭법으로 가공하고 최후로 상기 CMOS부의 소스 영역(43)으로부터의 인출전극을 형성한다.

상기와 같이 형성된 반도체 기억장치에 있어서 캐패시터부의 상부 전극(52, 53)과 소스 영역(43)의 인출전극 간에 전압펄스를 인가하여 강유전체 특성을 구하였다. 그 결과, Pr(잔류분극치)=10 μC/cm<sup>2</sup>, Ec(항전계)=35kV/cm의 강유전체 캐패시터로서 충분한 크기의 가역전 특성을 가짐과 동시에, 대칭성이 붕괴되지 않는 히스테리시스 루프가 얻어지고, 폴리실리콘 플러그(47)와 하부 전극(48, 49)의 사이에 양호한 접촉이 얻어지는 것이 입증되었다.

또한, 주파수 100kHz, 듀티비5%, 전압 5V의 스트레스펄스 인가에 의한 분극반전에 따르는 피로특성을 측정한 결과, 10<sup>11</sup>주기 후에도 초기값의 91%를 유지하고, 피로 특성이 현저히 좋아진다.

또한, 상기 하부 전극(48, 49, 49') 전체의 최적 막 두께는 1000 Å으로 되고, 제 1 실시 형태에서 반도체 기억장치의 하부 전극(28, 29, 30) 전체의 최적 막 두께 1300 Å 보다도 얇게 할 수 있고, 상기 캐패시터부의 단차를 작게 하여 포토리소그래피 공정에서의 오차를 더 줄일 수 있다.

또한, 본 실시 형태에 의하면, 상기 강유전체 박막(50)의 누설 전류 특성을 1디지트 정도 향상시킬 수 있다.

이와 같이, 본 실시 형태에 있어서, 상기 하부 전극의 막 제조 시에는 PtRhO<sub>2</sub>막/PtRh막의 2층으로 형성하면 층기 때문에, 상기 하부 전극의 막 제조공정을 간소화하여 제 1 실시 형태와 동일한 효과를 얻을 수 있다.

여기서, 상기 실시 형태에서 상기 하부 전극 형성후의 산소 분위기 중에서 어닐링을 생략하면, PtRhO<sub>2</sub>막/PtRh막의 2층으로 이루어진 하부 전극LE를 얻을 수 있다. 그리고, 이하, 상기 실시 형태와 동일하게 하여 강유전체 박막, 층간 절연막, 하층의 상부 전극 및 상층의 상부 전극을 형성해도 상기 각 실시 형태와 동일한 효과가 얻어지는 반도체 기억장치를 얻을 수 있다.

### (제3 실시 형태)

제 1 실시 형태에 있어서 캐패시터부의 하부전극LE를 PtRhO<sub>2</sub>막, PtRh막, PtRhO<sub>2</sub>막의 순으로 3층으로 이루어진 데 반하여, 본 실시 형태에서는 PtRhO<sub>2</sub>막의 1층으로 이루어진다.

도5는 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(61), 게이트 전극(62), 소스 영역(63), 드레인 영역(64), 로코스 산화막(65), 층간



절연막(66), 폴리실리콘 플러그(67), 강유전체 박막(69) 및 층간 절연막(70)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 층간 절연막(26), 폴리실리콘 플러그(27), 강유전체 박막(31) 및 층간 절연막(32)과 동일한 구성을 갖고 있다.

상기 층간 절연막(66) 상에서 폴리실리콘 플러그(67)의 위치에는 상기 PtRh<sub>0x</sub>막으로 이루어진 하부전극(68)이 형성되어 있다. 또 커패시터부의 상부에는 PtRh<sub>0x</sub>막으로 이루어진 상부 전극(71)이 형성되어 있다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 1 실시 형태와 동일한 순서로 P형 실리콘 기판(61) 상에 로코스 산화막(65), 소스 영역(63), 드레인 영역(64), 게이트 전극(62), 층간 절연막(66) 및 폴리실리콘 플러그(67)를 순차적으로 형성한다.

그 다음, 상기 폴리실리콘 플러그(67)의 바로 위에, DC마그네트론반응성 스퍼터법으로 막 두께 500 Å ~ 2000 Å (바람직하게는 1000 Å)의 PtRh<sub>0x</sub> 막을 막 제조온도 250°C에서 형성하여 하층의 하부 전극(68)으로 한다.

여기서, 상기 하부 전극(68)으로 되는 PtRh<sub>0x</sub>막의 두께를 500 Å 이하로 하면, 후에 강유전체 박막(69)을 형성할 때의 산소가 분위기가 폴리실리콘 플러그(67)측에 투과하여 폴리실리콘이 산화되어 CMOS부와 커패시터부의 양호한 접촉이 이루어지지 않는다. 한편, 2000 Å 이상의 막 두께로 하는 것은 커패시터부 전극의 막 두께를 증가시키게 되어 바람직하지 않다. 더욱이, PtRh<sub>0x</sub>막에 있어서 산소 원소의 전체 원소에 대한 함유율은 제 1 실시 형태와 동일한 이유로 부터 2% ~ 30%로 된다.

그 다음, 제 1 실시 형태와 동일한 순서로, 상기 강유전체 박막(69)을 형성하여 어닐링소성하고, 층간 절연막(70)을 형성하여 강유전체 박막(69)으로의 콘택홀을 형성한다.

다음에, 상기 커패시터부의 상부에, DC마그네트론 스퍼터법으로 막 두께 500 Å ~ 2000 Å (바람직하게는 1000 Å)의 PtRh<sub>0x</sub>막을 막 제조온도 250°C에서 형성하여 상부 전극(71)으로 한다.

그 다음, 상기 상부 전극(71)을 드라이에칭법으로 가공하고 최후로 상기 CMOS부의 소스 영역(63)으로 부터의 인출전극을 형성한다.

상기와 같이 형성된 반도체 기억장치의 강유전체 특성을 제1, 제2 실시 형태와 동일하게 구하였다. 그 결과, Pr=13 μC/cm<sup>2</sup>, Ec=45kV/cm의 대형인 히스테리시스 루프가 얻어지고, 폴리실리콘 플러그(67)와 하부 전극(68)의 사이에 양호한 접촉이 이루어지는 것이 입증되었다.

또한, 주파수 100kHz, 듀티비5%, 전압 5V의 스트레스펄스 인가에 의한 분극반전에 따르는 피로특성을 측정한 결과, 10<sup>11</sup>주기 후에도 초기값의 91%를 유지하고, 피로 특성이 현저히 좋다.

또한, 상기 하부 전극(68)의 최적 막 두께는 1000 Å으로 되고, 제 1 실시 형태의 경우 보다도 얇아질 수 있고, 상기 커패시터부의 단차를 작게 하여 포토리소그래피 공정에서의 오차를 줄일 수 있다.

이와 같이, 본 실시 형태에서, 상기 하부 전극의 막 제조 시에는 PtRh<sub>0x</sub>막 만을 형성하면 되기 때문에, 상기 하부 전극의 막 제조 공정을 더 간소화시킬 수 있다.

#### (제4실시형태)

제1 실시 형태에 있어서 커패시터부의 하부전극LE는 PtRh<sub>0x</sub>막, PtRh막, PtRh<sub>0x</sub>막의 순으로 3층으로 이루어진 데 반하여, 본 실시 형태에서는 PtRh막, PtRh<sub>0x</sub>막, PtRh막의 순으로 3층으로 이루어진다.

도6은 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(81), 게이트 전극(82), 소스 영역(83), 드레인 영역(84), 로코스 산화막(85), 층간 절연막(86), 폴리실리콘 플러그(87), 강유전체 박막(91) 및 층간 절연막(92)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 층간 절연막(26), 폴리실리콘 플러그(27), 강유전체 박막(31) 및 층간 절연막(32)과 동일한 구성을 갖고 있다.

상기 층간 절연막(86) 상에서 폴리실리콘 플러그(87)의 위치에는 상기 PtRh막으로 이루어진 최하층의 하부전극(88)과 PtRh<sub>0x</sub>막으로 이루어진 중간층의 하부전극(89)과 PtRh막으로 이루어진 최상층의 하부 전극(90)이 순차적으로 적층되어 있다. 또한, 커패시터부의 상부에는 PtRh막으로 이루어진 최하층의 상부 전극(93)과 PtRh<sub>0x</sub>막으로 이루어진 중간층의 상부전극(94)과 PtRh막으로 이루어진 최상층의 상부전극(95)이 순차적으로 적층되어 있다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 1 실시 형태와 동일한 순서로 P형 실리콘 기판(81) 상에 로코스 산화막(85), 소스 영역(83), 드레인 영역(84), 게이트 전극(82), 층간 절연막(86) 및 폴리실리콘 플러그(87)를 순차적으로 형성한다.

그 다음, 상기 폴리실리콘 플러그(87)의 바로 위에, DC마그네트론반응성 스퍼터법으로 막 두께 100 Å ~ 1000 Å (바람직하게는 200 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 최하층의 하부 전극(88)으로 한다. 다시 그 위에 DC마그네트론반응성 스퍼터법으로 막두께 100 Å ~ 800 Å (바람직하게는 600 Å)의 PtRh<sub>0x</sub> 막을 막 제조온도 250°C에서 형성하여 중간층의 하부 전극(89)으로 한다. 다시 그 위에 DC마그네트론 스퍼터법으로 막두께 200 Å ~ 500 Å (바람직하게는 300 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 최상층의 하부 전극(90)으로 한다.

또, 3층의 하부전극(88, 89, 90)은 마르코프 산소의 유량비를 변경시켜 연속적으로 막을 제조한다.

본 실시 형태와 같이, 상기 폴리실리콘 플러그(87)의 바로 위에 PtRh금속을 형성함으로써 폴리실리콘 플러그(87)와 하부 전극(88)의 밀착성이 향상되고, 후에 강유전체 박막(91)에 대한 열처리 공정에 의해 상층의 PtRh<sub>0x</sub>막으로 부터 폴리실리콘 플러그(87) 쪽으로 산소가 확산되는 것이 차단되고, 폴리실리콘(87)

표면의 산화가 방지된다.

여기서, 상기 최하층의 하부전극(88)으로 되는 PtRh막의 막 두께를 1000 Å 이하로 하면, 폴리실리콘 플러그(87)와의 높은 밀착성을 얻을 수 없다. 한편, 1000 Å 이상의 막 두께로 하는 것은 커패시터부가 두껍게 되어 바람직하지 않다.

또, 상기 중간층의 하부 전극(89)으로 되는 PtRh막의 두께를 100 Å 이하로 하면, 후에 강유전체 박막(91)을 형성할 때 산소 분위기가 폴리실리콘 플러그(87)측에 투과하는 것을 방지할 수 없다. 한편, 800 Å 이상의 막 두께로 하는 것은 커패시터부가 두꺼워져 바람직하지 않다.

또, 상기 최상층의 하부 전극(90)으로 되는 PtRh막의 막두께를 200 Å 이하로 한 경우에는 강유전체 박막(91)의 누설 전류 특성이 저하된다. 한편, 200 Å 이상의 막 두께로 하는 것은 커패시터부가 두꺼워져 바람직하지 않다.

그 다음, 제 1 실시 형태와 동일한 순서로, 상기 강유전체 박막(91)을 형성하여 어닐링소성하고, 중간 절연막(92)을 형성하여 강유전체 박막(91)으로의 콘택홀을 형성한다.

다음에, 상기 커패시터부의 상부에, DC마그네트론 스퍼터법으로 막 두께 200 Å ~ 500 Å (바람직하게는 300 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 최하층의 상부 전극(93)으로 한다. 다시 그 위에 DC마그네트론반응성 스퍼터법으로 막두께 100 Å ~ 800 Å (바람직하게는 800 Å)의 PtRhOx 막을 막 제조온도 250°C에서 형성하여 중간층의 상부 전극(94)으로 한다. 다시 그 위에 DC마그네트론 스퍼터법으로 막두께 100 Å ~ 1000 Å (바람직하게는 200 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 최상층의 상부 전극(95)으로 한다.

다음에, 3층의 상부전극(93, 94, 95)을 드라미에칭법으로 가공하고 최후로 상기 CMOS부의 소스 영역(83)으로 부터의 인출전극을 형성한다.

상기와 같이 형성된 반도체 기억장치의 강유전체 특성을 상기와 같이 구하였다. 그 결과,  $P_r=10 \mu C/cm^2$ ,  $E_c=35kV/cm$ 의 대형인 히스테리시스 루프가 얻어지고, 폴리실리콘 플러그(87)와 하부 전극(88, 89, 90)의 사이에 양호한 접촉이 이루어지는 것이 입증되었다.

또한, 주파수 100kHz, 듀티비5%, 전압 5V의 스트레스펄스 인가에 의한 분극반전에 따르는 피로특성을 측정한 결과,  $10^{11}$ 주기 후에도 초기값의 91%를 유지하고, 피로 특성이 현저히 좋다.

또한, 상기 하부 전극(88, 89, 90)의 최적 막 두께는 1300 Å으로 되고, 하부 전극과 폴리실리콘 플러그(87)의 사이에 배리어메탈을 개재시킨 종래의 반도체 기억장치의 경우 보다도 커패시터부의 단차를 작게 하여, 포토리소그래피 공정에서의 정밀도 오차를 줄일 수 있다.

이와 같이, 본 실시 형태에 있어서는, 상기 폴리실리콘 플러그(87)의 바로 위에 형성되는 하부 전극LE를 PtRh막/PtRhOx막/PtRh막의 3층으로 형성하고 있기 때문에 강유전체 박막(91)을 형성할 때에 폴리실리콘 플러그(87)측으로 투과하려고 하는 산소 분위기가 PtRhOx막에 의해 차단된다. 따라서, 폴리실리콘 플러그(87) 표면의 산화가 방지되고, 커패시터부와 CMOS부의 양호한 접촉이 이루어진다.

그 결과, 종래의 반도체 기억장치와 같은 TiN의 배리어메탈을 필요로 하지 않고, 커패시터부의 단차를 작게 할 수 있다.

더우기, 상기 폴리실리콘 플러그(87)의 바로 위에 PtRh막을 형성하고 있기 때문에, 폴리실리콘 플러그(87)와 하부 전극(88)의 밀착성이 향상되고, 후에 강유전체 박막(91)에 대한 열처리시에 상층의 PtRhOx막으로 부터 폴리실리콘 플러그(87) 측으로의 산소 확산이 방지될 수 있다. 따라서, 커패시터부와 CMOS부의 접촉성이 향상될 수 있다.

#### (제5 실시 형태)

제4 실시 형태에 있어서 커패시터부의 하부전극LE는 PtRh막/PtRhOx막/PtRh막의 순으로 3층으로 이루어진 데 반하여, 본 실시 형태에서는 PtRh막/PtRhOx막의 순으로 2층으로 이루어진다.

도7은 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(101), 게이트 전극(102), 소스 영역(103), 드레인 영역(104), 로코스 산화막(105), 중간 절연막(106), 폴리실리콘 플러그(107), 강유전체 박막(110) 및 중간 절연막(111)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 중간 절연막(26), 폴리실리콘 플러그(27), 강유전체 박막(31) 및 중간 절연막(32)과 동일한 구성을 갖고 있다.

상기 중간 절연막(106) 상에서 폴리실리콘 플러그(107)의 위치에는 상기 PtRh막으로 이루어진 하층의 하부전극(108)과 PtRhOx막으로 이루어진 상층의 하부전극(109)이 순차로 적층되어 있다. 또한, 커패시터부의 상부에는 PtRhOx막으로 이루어진 하층의 상부 전극(112)과 PtRh막으로 이루어진 상층의 상부전극(113)이 순차로 적층되어 있다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 1 실시 형태와 동일한 순서로 P형 실리콘 기판(101) 상에 로코스 산화막(105), 소스 영역(103), 드레인 영역(104), 게이트 전극(102), 중간 절연막(106) 및 폴리실리콘 플러그(107)를 순차적으로 형성한다.

그 다음, 상기 폴리실리콘 플러그(107)의 바로 위에, DC마그네트론 스퍼터법으로 막 두께 100 Å ~ 1000 Å (바람직하게는 200 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 하층의 하부 전극(108)으로 한다. 다시 그 위에 DC마그네트론반응성 스퍼터법으로 막두께 100 Å ~ 800 Å (바람직하게는 800 Å)의 PtRhOx 막을 막 제조온도 250°C에서 형성하여 상층의 하부 전극(109)으로 한다.

또, 2층의 하부전극(108, 109)은 아르곤과 산소의 유량비를 변경시켜 연속적으로 막을 제조한다. 또한,

상기 PtRh막 및 PtRhO<sub>x</sub> 막의 두께를 제한하는 이유는 제 4 실시 형태의 경우와 동일하다.

본 실시 형태의 경우도, 제 4 실시 형태의 경우와 동일하게 상기 폴리실리콘 플러그(107)의 바로 위에 PtRh금속을 형성하고 있기 때문에, 강유전체 박막(110)에 대한 열처리 공정에 의해 PtRhO<sub>x</sub>막으로 부터 폴리실리콘 플러그(107) 쪽으로 산소가 확산되는 것을 차단할 수 있다.

그 다음, 제 1 실시 형태와 동일한 순서로, 상기 강유전체 박막(110)을 형성하여 어닐링소성하고, 층간 절연막(111)을 형성하여 강유전체 박막(110)으로의 콘택홀을 형성한다.

다음에, 상기 커패시터부의 상부에, DC마그네트론방응성 스퍼터법으로 막 두께 100 Å ~ 800 Å (바람직하게는 800 Å)의 PtRhO<sub>x</sub>막을 막 제조온도 250°C에서 형성하여 하층의 상부 전극(112)으로 한다. 다시 그 위에 DC마그네트론 스퍼터법으로 막두께 100 Å ~ 1000 Å (바람직하게는 200 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 상층의 상부 전극(113)으로 한다.

다음에, 상기 상부전극(112, 113)을 드라미에칭법으로 가공하고 최후로 상기 CMOS부의 소스 영역(103)으로 부터의 인출전극을 형성한다.

상기와 같이 형성된 반도체 기억장치의 강유전체 특성을 상기와 같이 구하였다. 그 결과, Pr=13 μC/cm<sup>2</sup>, Ec=40kV/cm의 대칭인 히스테리시스 루프가 얻어지고, 폴리실리콘 플러그(107)와 하부 전극(108,109)의 사이에 양호한 접촉이 이루어지는 것이 입증되었다.

또한, 주파수 100kHz, 듀티비5%, 전압 5V의 스트레스펄스 인가에 의한 분극반전에 따르는 피로특성을 측정한 결과, 10<sup>11</sup>주기 후에도 초기값의 97%를 유지하고, 피로 특성이 현저히 좋다.

또한, 상기 하부 전극(108,109)의 최적 막 두께는 1000 Å으로 되고, 하부 전극과 폴리실리콘 플러그의 사이에 배리어메탈을 개재시킨 종래의 반도체 기억장치의 경우 보다도 커패시터부의 단차를 작게 하여, 포토라소그래피 공정에서의 오차를 줄일 수 있다.

이와 같이, 본 실시 형태에 있어서는, 상기 하부 전극LE의 막제조시에는 PtRh막/PtRhO<sub>x</sub>막의 2층으로 형성하면 좋기 때문에, 상기 하부 전극의 막 제조공정을 간소화할 수 있다.

(제6 실시 형태)

제5 실시 형태에 있어서 PtRhO<sub>x</sub>막/PtRh막의 2층으로 이루어진 하부 전극LE는 본 실시 형태와 같은 방법에 의해서도 형성될 수 있다.

도8은 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(121), 게이트 전극(122), 소스 영역(123), 드레인 영역(124), 로코스 산화막(125), 층간 절연막(126), 폴리실리콘 플러그(127), 강유전체 박막(130) 및 층간 절연막(131)은, 도1에 나타낸 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 층간 절연막(26), 폴리실리콘 플러그(27), 강유전체 박막(31) 및 층간 절연막(32)과 동일한 구성을 갖고 있다.

본 실시 형태의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 1 실시 형태와 동일한 순서로 P형 실리콘 기판(121) 상에 로코스 산화막(125), 소스 영역(123), 드레인 영역(124), 게이트 전극(122), 층간 절연막(126) 및 폴리실리콘 플러그(127)를 순차적으로 형성한다.

그 다음, 상기 폴리실리콘 플러그(127)의 바로 위에, DC마그네트론 스퍼터법으로 막 두께 500 Å ~ 2000 Å (바람직하게는 1000 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 하부 전극(128)으로 한다.

그 후, 상기 하부 전극(128)을 550°C의 산소 분위기 중에서 10분간 어닐링 한다. 이렇게 하여 산소 분위기 중에서 어닐링 함으로써 하부 전극(128)의 PtRh막의 표면이 산화되어 PtRhO<sub>x</sub>막의 층(129)이 형성된다. 또, 이 경우의 어닐링 온도도 제 2 실시 형태의 경우와 동일한 이유로 400°C ~ 700°C의 범위내가 좋다. 또한, 하부 전극(128)으로 되는 PtRh막의 막 두께를 500 Å 이하로 한 경우에는 최적의 PtRhO<sub>x</sub>층(129)과, 폴리실리콘 플러그(127)의 높은 밀착성과, 강유전체 박막(130)의 양호한 누설 전류 특성을 얻을 수 없다. 한편, 2000 Å 이상의 막 두께로 하는 것은 커패시터부가 두껍게 되어 바람직하지 않다.

그런데, 상기 폴리실리콘 플러그(127)의 바로 위에 형성되는 하부 전극을 Pt단체로 형성한 경우에는 강유전체 박막(130)의 열처리 공정 후에, 폴리실리콘과 Pt가 반응하여 규소화물이 형성된다. 그렇게 하면, 규소화물의 표면이 투과한 산소 가스 분위기에서 산화되어 산화실리콘이 Pt 표면에 형성된다. 그 결과, 폴리실리콘 플러그(127)와 하부 전극의 양호한 접촉이 이루어지지 않게 된다.

그러나, 본 실시 형태와 같이 하부 전극(128)을 PtRh막으로 형성하면, 산소 어닐링 함으로써 하부 전극(128)의 표면에는 PtRhO<sub>x</sub>의 층(129)이 형성되기 때문에, 강유전체 박막(130)의 막 제조 시에 폴리실리콘 플러그(127) 쪽에 투과하려고 하는 산소 가스 분위기가 차단된다. 따라서, 폴리실리콘의 산화가 방지되어, 하부 전극(128)과 폴리실리콘 플러그(127)의 양호한 접촉이 이루어진다.

그 다음, 제 1 실시 형태와 동일한 순서로, 상기 강유전체 박막(130)을 형성하여 어닐링소성하고, 층간 절연막(131)을 형성하여 강유전체 박막(130)으로의 콘택홀을 형성한다.

다음에, 상기 커패시터부의 상부에, DC마그네트론 스퍼터법으로 막 두께 500 Å ~ 2000 Å (바람직하게는 1000 Å)의 PtRh막을 막 제조온도 250°C에서 형성하여 하부 전극(132)으로 한다.

다음에, 상기 상부전극(132)을 드라미에칭법으로 가공하고 최후로 상기 CMOS부의 소스 영역(123)으로 부터의 인출전극을 형성한다.

상기와 같이 형성된 반도체 기억장치의 강유전체 특성을 상기와 같이 구하였다. 그 결과, Pr=10 μC/cm<sup>2</sup>, Ec=35kV/cm의 대칭인 히스테리시스 루프가 얻어지고, 폴리실리콘 플러그(127)와 하부 전극(128,129)의 사

이에 양호한 접촉이 이루어지는 것이 입증되었다.

또한, 주파수 100kHz, 듀티비5%, 전압 5V의 스트레스펄스 인가에 의한 분극반전에 따르는 피로특성을 측정한 결과, 10<sup>11</sup>주기 후에도 초기값의 91%를 유지하고, 피로 특성이 현저히 좋다.

또한, 상기 하부 전극(128,129)의 최적 막 두께는 1000Å으로 되고, 하부 전극과 폴리실리콘 플러그의 사이에 배리어메탈을 개재시킨 종래의 반도체 기억장치의 경우 보다도 커패시터부의 단차를 작게 하여, 포토리소그래피 공정에서의 오차를 줄일 수 있다.

이와 같이, 본 실시 형태에 있어서는, 상기 하부 전극LE의 막제조시에는 PtRh막만을 형성하면 되기 때문에, 상기 하부 전극의 막 제조공정을 간소화할 수 있다.

(제7실시형태)

제4실시 형태에 있어서 커패시터부의 하부전극LE는 PtRh막, PtRhO<sub>x</sub>막, PtRh막의 순으로 3층으로 이루어진 데 반하여, 본 실시 형태에서는 Pt막, PtRhO<sub>x</sub>막, Pt막의 순으로 3층으로 이루어진다.

도9는 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(141), 게이트 전극(142), 소스 영역(143), 드레인 영역(144), 로코스 산화막(145), 중간 절연막(146), 폴리실리콘 플러그(147), 강유전체 박막(151) 및 중간 절연막(152)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 중간 절연막(26), 폴리실리콘 플러그(27), 강유전체 박막(31) 및 중간 절연막(32)과 동일한 구성을 갖고 있다.

상기 중간 절연막(146) 상에서 폴리실리콘 플러그(147)의 위치에는 상기 Pt막으로 이루어진 최하층의 하부전극(148)과 PtRhO<sub>x</sub>막으로 이루어진 중간층의 하부전극(149)과 Pt막으로 이루어진 최상층의 하부전극(150)이 순차적으로 적층되어 있다. 또한, 커패시터부의 상부에는 Pt막으로 이루어진 최하층의 상부전극(153)과 PtRhO<sub>x</sub>막으로 이루어진 중간층의 상부전극(154)과 Pt막으로 이루어진 최상층의 상부전극(155)이 순차적으로 적층되어 있다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 1실시 형태와 동일한 순서로 P형 실리콘 기판(141) 상에 로코스 산화막(145), 소스 영역(143), 드레인 영역(144), 게이트 전극(142), 중간 절연막(146) 및 폴리실리콘 플러그(147)를 순차적으로 형성한다.

그 다음, 상기 폴리실리콘 플러그(147)의 바로 위에, DC마그네트론 스퍼터법으로 막 두께 100Å~1000Å(바람직하게는 200Å)의 Pt막을 막 제조온도 250°C에서 형성하여 최하층의 하부 전극(148)으로 한다. 다시 그 위에 DC마그네트론반응성 스퍼터법으로 막두께 100Å~800Å(바람직하게는 800Å)의 PtRhO<sub>x</sub> 막을 막 제조온도 250°C에서 형성하여 중간층의 하부 전극(149)으로 한다. 다시 그 위에 DC마그네트론 스퍼터법으로 막두께 200Å~500Å(바람직하게는 300Å)의 Pt막을 막 제조온도 250°C에서 형성하여 최상층의 하부 전극(150)으로 한다.

이와 같이, 상기 폴리실리콘 플러그(147)의 바로 위에 Pt금속을 형성하고 있기 때문에, 폴리실리콘 플러그(147)와 하부 전극(148)의 밀착성이 향상되고, 또 상층에 PtRhO<sub>x</sub>막이 형성되어 있기 때문에 강유전체 박막(151)에 대한 열처리 공정에 의해 폴리실리콘 플러그(147) 측으로 산소가 확산되는 것을 방지할 수 있다. 따라서, 폴리실리콘 플러그(147)의 산화를 방지하여 폴리실리콘 플러그(147)와 하부 전극(148,149,150)의 접촉이 양호하게 이루어질 수 있다.

여기서, 상기 최하층의 하부전극(148)으로 되는 Pt막의 막 두께를 100Å이하로 하면, 폴리실리콘 플러그(147)와의 높은 밀착성을 얻을 수 없다. 한편, 1000Å이상의 막 두께로 하는 것은 커패시터부가 두껍게 되어 바람직하지 않다.

또, 상기 중간층의 하부 전극(149)으로 되는 PtRhO<sub>x</sub>의 두께를 100Å이하로 하면, 후에 강유전체 박막(151)을 형성할 때 산소 분위기가 폴리실리콘 플러그(147)측에 투과하는 것을 방지할 수 없다. 한편, 800Å이상의 막 두께로 하는 것은 커패시터부가 두꺼워져 바람직하지 않다.

또, 상기 최상층의 하부 전극(150)으로 되는 Pt막의 막두께를 200Å이하로 한 경우에는 강유전체 박막(151)의 누설 전류 특성이 저하된다. 한편, 500Å이상의 막 두께로 하는 것은 커패시터부가 두껍게 되어 바람직하지 않다.

그 다음, 제 1실시 형태와 동일한 순서로, 상기 강유전체 박막(151)을 형성하여 어닐링소성하고, 중간 절연막(152)을 형성하여 강유전체 박막(151)으로의 콘택홀을 형성한다.

다음에, 상기 커패시터부의 상부에, DC마그네트론 스퍼터법으로 막 두께 200Å~500Å(바람직하게는 300Å)의 Pt막을 막 제조온도 250°C에서 형성하여 최상층의 상부 전극(153)으로 한다. 다시 그 위에 DC마그네트론반응성 스퍼터법으로 막두께 100Å~800Å(바람직하게는 800Å)의 PtRhO<sub>x</sub> 막을 막 제조온도 250°C에서 형성하여 중간층의 상부 전극(154)으로 한다. 다시 그 위에 DC마그네트론 스퍼터법으로 막두께 100Å~1000Å(바람직하게는 200Å)의 Pt막을 막 제조온도 250°C에서 형성하여 최상층의 상부 전극(155)으로 한다.

다음에, 상기 상부전극(153,154,155)을 드라이에칭법으로 가공하고 최후로 상기 CMOS부의 소스 영역(143)으로 부터의 인출전극을 형성한다.

상기와 같이 형성된 반도체 기억장치의 강유전체 특성을 상기와 같이 구하였다. 그 결과, Pr=14μC/cm<sup>2</sup>, Ec=35kV/cm의 대칭인 히스테리시스 루프가 얻어지고, 폴리실리콘 플러그(147)와 하부 전극(148,149,150)의 사이에 양호한 접촉이 이루어지는 것이 입증되었다.

또한, 주파수 100kHz, 듀티비5%, 전압 5V의 스트레스펄스 인가에 의한 분극반전에 따르는 피로특성을 측

정한 결과,  $10^{11}$  주기 후에도 초기값의 88%를 유지하고, 피로 특성이 현저히 좋다.

또한, 상기 하부 전극(148, 149, 150)의 최적 막 두께는 1300 Å으로 되고, 하부 전극과 폴리실리콘 플러그의 사이에 배리어메탈을 개재시킨 종래의 반도체 기억장치의 경우 보다도 커패시터부의 단차를 작게 하여, 포토리소그래피 공정에서의 오차를 줄일 수 있다.

이와 같이, 본 실시 형태에 있어서는, 상기 폴리실리콘 플러그(147)의 바로 위에 형성되는 하부 전극(148)을 Pt막/PtRhO<sub>x</sub>막/Pt막의 3층으로 형성하고 있기 때문에 강유전체 박막(151)을 형성할 때에 폴리실리콘 플러그(147)측으로 투과하려는 산소 분위기가 PtRhO<sub>x</sub>막에 의해 차단된다. 따라서, 폴리실리콘 플러그(147) 표면의 산화가 방지되고, 커패시터부와 CMOS 부의 양호한 접촉이 이루어진다.

그 결과, 종래의 반도체 기억장치와 같은 TiN의 배리어메탈을 필요로 하지 않고, 커패시터부의 단차를 작게 할 수 있다.

더우기, 상기 폴리실리콘 플러그(147)의 바로 위에 Pt막을 형성하고 있기 때문에, 폴리실리콘 플러그(147)와 하부 전극(148)의 밀착성이 향상되고, 또한 상층에 PtRhO<sub>x</sub>막이 형성되어 있기 때문에, 강유전체 박막(151)에 대한 열처리시에 폴리실리콘 플러그(147) 측으로의 산소 확산이 방지될 수 있다. 따라서, 커패시터부와 CMOS부의 접촉성이 향상될 수 있다.

#### (제8 실시 형태)

제7 실시 형태에 있어서 커패시터부의 하부전극(148)은 Pt막, PtRhO<sub>x</sub>막, Pt막의 순으로 3층으로 이루어진 데 반하여, 본 실시 형태에서는 Pt막, PtRhO<sub>x</sub>막의 순으로 2층으로 이루어진다.

도10은 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(161), 게이트 전극(162), 소스 영역(163), 드레인 영역(164), 로코스 산화막(165), 중간 절연막(166), 폴리실리콘 플러그(167), 강유전체 박막(170) 및 중간 절연막(171)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 중간 절연막(26), 폴리실리콘 플러그(27), 강유전체 박막(31) 및 중간 절연막(32)과 동일한 구성을 갖고 있다.

상기 중간 절연막(166) 상에서 폴리실리콘 플러그(167)의 위치에는 Pt막으로 이루어진 하층의 하부전극(168)과 PtRhO<sub>x</sub>막으로 이루어진 상층의 하부전극(169)이 순차적으로 적층되어 있다. 또한, 커패시터부의 상부에는 PtRhO<sub>x</sub>막으로 이루어진 하층의 상부 전극(172)과 Pt막으로 이루어진 상층의 상부전극(173)이 순차적으로 적층되어 있다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 1 실시 형태와 동일한 순서로 P형 실리콘 기판(161) 상에 로코스 산화막(165), 소스 영역(163), 드레인 영역(164), 게이트 전극(162), 중간 절연막(166) 및 폴리실리콘 플러그(167)를 순차적으로 형성한다.

그 다음, 상기 폴리실리콘 플러그(167)의 바로 위에, DC마그네트론 스퍼터법으로 막 두께 100 Å ~ 1000 Å (바람직하게는 200 Å)의 Pt막을 막 제조온도 250°C에서 형성하여 하층의 하부 전극(168)으로 한다. 다시 그 위에 DC마그네트론반응성 스퍼터법으로 막두께 100 Å ~ 800 Å (바람직하게는 800 Å)의 PtRhO<sub>x</sub> 막을 막 제조온도 250°C에서 형성하여, 상층의 하부 전극(169)으로 한다. 또한, 상기 Pt막 및 PtRhO<sub>x</sub> 막의 두께를 제한하는 이유는 제 7 실시 형태의 경우와 동일하다.

본 실시 형태의 경우도, 상기 폴리실리콘 플러그(167)의 바로 위에 Pt금속을 형성하고 있기 때문에, 폴리실리콘 플러그(167)와 하부 전극(168)의 밀착성이 향상되고, 또 상층에 PtRhO<sub>x</sub>막이 형성되어 있기 때문에 강유전체 박막(170)에 대한 열처리 공정에 의해 폴리실리콘 플러그(167) 측으로 산소가 확산되는 것을 방지할 수 있다.

그 다음, 제 1 실시 형태와 동일한 순서로, 상기 강유전체 박막(170)을 형성하여 어닐링소성하고, 중간 절연막(171)을 형성하여 강유전체 박막(170)으로의 콘택홀을 형성한다.

다음에, 상기 커패시터부의 상부에, DC마그네트론반응성 스퍼터법으로 막 두께 100 Å ~ 800 Å (바람직하게는 800 Å)의 PtRhO<sub>x</sub>막을 막 제조온도 250°C에서 형성하여 하층의 상부 전극(172)으로 한다. 다시 그 위에 DC마그네트론 스퍼터법으로 막두께 100 Å ~ 1000 Å (바람직하게는 200 Å)의 Pt막을 막 제조온도 250°C에서 형성하여, 상층의 상부 전극(173)으로 한다.

다음에, 상기 상부전극(172, 173)을 드라미에칭법으로 가공하고 최후로 상기 CMOS부의 소스 영역(163)으로부터의 인출전극을 형성한다.

상기와 같이 형성된 반도체 기억장치의 강유전체 특성을 상기와 같이 구하였다. 그 결과,  $P_r=13 \mu C/cm^2$ ,  $E_c=41 kV/cm$ 의 대형인 히스테리시스 루프가 얻어지고, 폴리실리콘 플러그(167)와 하부 전극(168, 169)의 사이에 양호한 접촉이 이루어지는 것이 입증되었다.

또한, 주파수 100kHz, 듀티비5%, 전압 5V의 스트레스스플스 인가에 의한 분극반전에 따르는 피로특성을 측정한 결과,  $10^{11}$  주기 후에도 초기값의 97%를 유지하고, 피로 특성이 현저히 좋다.

또한, 상기 하부 전극(168, 169)의 최적 막 두께는 1000 Å으로 되고, 하부 전극과 폴리실리콘 플러그의 사이에 배리어메탈을 개재시킨 종래의 반도체 기억장치의 경우 보다도 커패시터부의 단차를 작게 하여, 포토리소그래피 공정에서의 오차를 줄일 수 있다.

이와 같이, 본 실시 형태에 있어서는, 상기 하부 전극(148)의 막제조시에는 Pt막/PtRhO<sub>x</sub>막의 2층을 형성하면 되기 때문에, 상기 하부 전극의 막 제조공정을 간소화할 수 있다.

(제9 실시 형태)

제1 실시 형태 내지 제8 실시 형태에 있어서는, 상기 커패시터부로서 강유전체인 PZT를 사용하는데 반하여, 본 실시 형태에서는 고유전체인  $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$  ( $0 \leq x \leq 1$ )를 사용한다.

도11은 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(181), 게이트 전극(182), 소스 영역(183), 드레인 영역(184), 로코스 산화막(185), 층간 절연막(186), 폴리실리콘 플러그(187), 하부 전극(188~190), 층간 절연막(192) 및 상부 전극(193~195)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 층간 절연막(26), 폴리실리콘 플러그(27), 하부 전극(28~30), 층간 절연막(32) 및 상부 전극(33~35)과 동일한 구성을 갖고 있다.

또한, 상기 최상층의 상부 전극(190) 상에는,  $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 막인 고유전체 박막(191)이 형성되어 커패시터부가 형성되어 있다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제1 실시 형태와 동일한 순서로 평형 실리콘 기판(181) 상에 로코스 산화막(185), 소스 영역(183), 드레인 영역(184), 게이트 전극(182), 층간 절연막(186) 및 폴리실리콘 플러그(187) 및 하부 전극(188~190)을 순차적으로 형성한다.

그 다음, 상기 최상층의 상부 전극(190) 상에,  $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 의 소결체를 타겟으로 한 스퍼터링법에 의해 기판 온도 450°C에서  $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 막을 막 두께 2000 Å으로 형성하여 고유전체막(191)으로 한다.

그 다음, 제1 실시 형태와 동일한 순서로, 상기 층간 절연막(192)을 형성하여 고유전체 박막(191)으로의 콘택홀을 형성하고, 다시 상부 전극(193~195)을 형성한다. 그리고 상부 전극(193~195)을 드라이에칭법으로 가공하여 최후로 상기 CMOS부의 소스 영역(183)으로 부터 인출전극을 형성한다.

도12는 상기과 같이 형성된 반도체 기억장치의 고유전체 박막(191)의 정전용량의 주파수 의존성을 나타낸다. 커패시터 면적은 0.09mm<sup>2</sup>이다. 도12로 부터, 주파수 10<sup>4</sup>Hz~10<sup>6</sup>Hz의 범위에서 정전용량값은 일정하고, 그 값은 약 4.5nF이라는 것을 알 수 있다.

또, 도13에서는 상기 고유전체 박막(191)의 누설 전류 밀도의 전압 의존성을 나타낸다. 도 13으로 부터 인가전압 2V에서의 누설전류밀도는 10<sup>-6</sup>A/cm<sup>2</sup> 정도이고, 저누설전류 특성을 갖는다는 것이 판명되었다.

이상으로 부터, 양호한 전기 특성이 얻어지고, 폴리실리콘 플러그(187)와 하부 전극(188~190)의 사이에 양호한 접촉이 이루어진다는 것이 입증되었다.

또한, 상기 하부 전극(188~190)의 최적 막 두께는 1300 Å으로 되고, 하부 전극과 폴리실리콘 플러그의 사이에 배리어메탈을 개재시킨 종래의 반도체 기억장치의 경우 보다도 커패시터부의 단차를 작게 하여, 포토리소그래피 공정에서의 정밀도 오차를 줄일 수 있다.

상기 각 실시 형태에 있어서는, 커패시터부의 상부 전극UE를 하부 전극LE와 동일하게 PtRh막과 PtRhOx막의 조합, PtRhOx막 단독, PtRh막 단독, Pt막과 PtRhOx막의 조합에 의해 형성하고 있다. 그러나, 막 두께 1000 Å의 Pt막만으로 형성해도 상기 각 실시 형태와 동일한 효과가 얻어진다.

또한, 상기 각 실시 형태 및 후술하는 각 실시 형태에 있어서, 커패시터부의 하부 전극LE를 형성한 후, 400°C~700°C(바람직하게는 550°C)의 질소 분위기 중에서 열처리함으로써 하부 전극의 결정성이 향상되며, 상부에 형성되는 강유전체 박막 혹은 고유전체 박막의 누설 전류를 적게 할 수 있다. 이 때에, 열처리 온도를 400°C이하로 한 경우에는 하부 전극LE의 결정성은 향상되지 않는다. 한편, 열처리 온도를 700°C이상으로 한 경우에는 하부 전극LE의 표면 평탄성이 손상된다.

또한, 제4 실시 형태 혹은 제7 실시 형태에 있어서, 제2, 제6 실시 형태의 경우와 동일하게 하부 전극 형성 후에 산소 분위기 중에서 어닐링하고, 최상층의 하부 전극인 PtRh막 혹은 Pt막의 표면을 산화하여 PtOx 혹은 PtRhOx막을 형성해도 좋다.

그런데, 제4 실시 형태 내지 제8 실시 형태에 있어서는, 상기 폴리실리콘 플러그 바로 위의 최하층의 하부 전극으로서 PtRh막 혹은 Pt막을 형성하고 있다. 이렇게 하여, 폴리실리콘 플러그의 바로 위에 폴리실리콘과의 반응성이 높은 Pt 혹은 Pt 합금을 형성함으로써 상기 폴리실리콘 플러그와 하부 전극과의 밀착성을 좋게 하고, 상기 강유전체 박막에 대한 열처리에 하부 전극을 구성하는 PtRhOx막으로 부터의 산소 확산에 의해 폴리실리콘 플러그의 표면이 산화되는 것을 방지하고 있다.

그러나, 상기 최하층의 하부 전극으로서의 PtRh막 혹은 Pt막 중의 Pt와 폴리실리콘의 반응성이 높기 때문에, 최하층의 하부 전극 형성시와 그 후의 열처리 공정에서 규화 등의 반응을 일으킨다. 그 때문에, 상기 하부 전극의 막 제조 온도를 최적 온도보다도 매우 낮은 250°C로 설정할 필요가 있고, 막 질이 좋은 하부 전극을 얻을 수 없다. 따라서, 폴리실리콘 플러그와 하기 하부 전극과의 접촉 저항이 불안정하거나 높아지는 문제가 있다.

그래서, 이하의 실시 형태에 있어서는, Pt와의 반응성이 실리콘(Si) 보다도 낮은 텅스텐(W)으로 상기 플러그를 형성함으로써 상기 문제를 회피한다.

(제10 실시 형태)

도14는 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(201), 게이트 전극(202), 소스 영역(203), 드레인 영역(204), 로코스 산화막(205), 층간 절연막(206), 강유전체 박막(210) 및 층간 절연막(212)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 층간 절연막(26), 강

유전체 박막(31) 및 중간 절연막(32)과 동일한 구성을 갖고 있다.

상기 중간 절연막(206)에는 상기 CMOS부의 드레인 영역(204)과 상기 커패시터부를 접속하기 위한 텅스텐 플러그(207)가 형성되어 있다. 그리고 중간 절연막(206)상에서 텅스텐 플러그(207)의 위치에는 PtRh막으로 이루어진 하층의 하부 전극(208)과 PtRhO<sub>x</sub>막으로 이루어진 상층의 하부 전극(209)이 순차적으로 적층되어 있다. 또한, 커패시터부의 상부에는 Pt막으로 이루어진 상부 전극(213)이 적층되어 있다.

또한, 상기 하부 전극(208, 209) 및 강유전체 박막(210)의 벽과 중간 절연막(212)의 사이, 강유전체 박막(210)의 상면과 중간 절연막(212)의 사이, 및 중간 절연막(206)과 중간 절연막(212)의 사이에는 강유전체 박막(210)의 확산 및 규화반응의 방지를 위한 산화티탄 막(211)이 형성되어 있다.

또, 폴리실리콘 플러그는 절연막으로서 형성된 실리콘 산화막이고, 215는 소스 영역(203)과의 접촉을 이루기 위해 형성된 알루미늄의 인출 전극이다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 1 실시 형태와 동일한 순서로 P형 실리콘 기판(201) 상에 로코스 산화막(205), 소스 영역(203), 드레인 영역(204), 게이트 전극(202) 및 중간 절연막(206)을 순차적으로 형성한다.

그 다음, 포토리소그래피법과 드라이에칭법에 의해 중간 절연막(206)에 직경 0.5  $\mu$ m의 콘택홀을 형성하고, 이 콘택홀에 CVD법으로 텅스텐을 매립한다. 그렇게 한 후, CMP법에 의해 표면을 평탄화하여 텅스텐 플러그(207)를 형성한다.

상기 텅스텐 플러그(207)의 바로 위에, DC마그네트론 스퍼터법으로 막 두께 700Å의 PtRh막을 막 제조온도 450°C에서 형성하여 하층의 하부 전극(208)으로 한다. 다시 그 위에 DC마그네트론반응성 스퍼터법으로 막두께 300Å의 PtRhO<sub>x</sub>막을 막 제조온도 450°C에서 형성하여 상층의 하부 전극(209)으로 한다.

이와 같이, 본 실시 형태에 있어서는, 상기 Pt와의 반응성이 Si보다도 낮은 Pt로 상기 플러그를 형성하고 있기 때문에, 하부 전극(208, 209)의 막 제조온도를 최적의 온도로 설정할 수 있다. 그래서, 본 실시 형태에서는 하부 전극(208, 209)의 막 제조온도를 450°C로 하여 양호한 막 질을 얻고, 텅스텐 플러그(207)와 하부 전극(208, 209)의 접촉 저항을 낮고 안정한 값으로 하는 것이다.

여기서, 상기 하층의 하부 전극(208)으로서의 PtRh막의 두께는, 그 위에 PtRhO<sub>x</sub>막을 형성할 때 산소가 PtRh막을 통해 텅스텐 플러그(207)의 표면이 산화되는 것을 방지하기 위해 200Å이상 필요하다. 또한, 상층의 하부 전극(209)으로서의 PtRhO<sub>x</sub>막의 두께는, 강유전체 박막(210)을 형성할 때 산소 분위기가 텅스텐 플러그(207) 측에 투과하는 것을 방지하기 위해 300Å이상 필요하다. 따라서, 하부 전극 전체의 막 두께는 500Å이상 필요하다. 한편, 하부 전극 전체의 막 두께는 후에 미세 가공을 하는 것을 고려하면 2000Å이하로 할 필요가 있다.

또한, 형성된 상기 PtRh막(208)의 원소 조성비는 Pt:Rh=80:20이다. 또 PtRhO<sub>x</sub>막(209)의 원소 조성비는 Pt:Rh:O=70:15:15이다. 또한, 하부 전극(208, 209)의 막 제조는 아르곤과 산소의 가스 유량비를 Ar:O=2:1로 하여 반응실 내의 기압이 10mTorr로 되도록 전체 가스 유량을 조정하면서 행한다.

여기서, 상기 PtRh막(208)의 Rh원소 함유율이 80%를 초과하면, (111)을 주 피크로 하는 Pt의 결정성이 약화되고, 상층에 형성되는 강유전체 박막(210)으로서의 PZT막이 결정되기 곤란하게 된다. 또한, 형성된 PZT막의 커패시터 누설전류도 증가한다. 그래서, Rh원소의 함유율을 80%이하로 할 필요가 있다.

또한, 상기 PtRhO<sub>x</sub>막(209)에서 Rh원소의 전체 원소에 대한 함유율이 10%이상 작은 경우는, 열처리시에 산소를 충분히 차단할 수 없다. 더욱이, 산소 원소의 함유율이 40%이상으로 되면, 막의 결정성과 모폴로지가 약화되어 PZT막(강유전체 박막 210)을 충분히 결정화할 수 없다. 또한, 강유전체 박막(210)에 대해 분극반전을 반복하면 강유전체 박막(210)에서 상층의 하부 전극(209)의 근방에서 산소 공핍이 일어나 강유전성을 나타내지 않기 때문에, 산소 원소의 함유율이 5%이하로 되면, PtRhO<sub>x</sub>막(209)과 강유전체 박막(210)의 막 사이에서의 산소 스톱의 효과가 감소된다.

이와 같이, 본 실시 형태에서는, 상기 CMOS부와 상기 커패시터부의 접촉을 이루기 위한 플러그를 Pt와의 반응성이 Si보다도 낮은 Pt로 형성한다. 그리고, 텅스텐 플러그(207)의 바로 위에 PtRh막(208)을 형성하고, 다시 그 위에 PtRhO<sub>x</sub>막(209)을 형성하고 있다. 여기서, PtRhO<sub>x</sub>막(209)은 강유전체 박막(210)을 산소 분위기 중에서 열처리 할 때, 산소가 텅스텐 플러그(207) 측에 확산하는 것을 방지하는 확산 블록으로서 작용하고, 또 PtRh막(208)은 PtRhO<sub>x</sub>막(209)을 형성할 때 산소가 텅스텐 플러그(207) 측에 확산하는 것을 방지하는 블록으로서 작용한다.

또, 상기 텅스텐 플러그(207)상에 PtRh막(208)을 DC마그네트론 스퍼터법으로 형성하는 경우와, 다시 그 위에 PtRhO<sub>x</sub>막(209)을 DC마그네트론반응성 스퍼터법으로 형성하는 경우에 동일한 타겟을 사용할 수 있다. 따라서, PtRh막(208)과 PtRhO<sub>x</sub>막(209)은 연속적으로 형성할 수 있고, 공정의 간략화를 도모할 수 있다.

다음에, 졸겔법에 의해 막 두께가 2000Å의 PZT막(210)을 형성하여 상기 강유전체 박막으로 한다. 또, 상기 PZT막의 구체적 형성은 이하와 같이 행한다.

우선, 2-메톡시에탄올을 용매로 사용하고, 초산납, 메탄이소프로폭시드 및 지르코늄이소프로폭시드를 원소 조성비가 Pb:Ti:Zr=10:52:48로 되도록 용해하여 졸겔 원료 용액으로 한다. 그리고, 이 원료 용액을, 스피너를 사용하여 회전수 3000rpm으로 하부 전극(208, 209)이 형성된 실리콘 웨이퍼에 도포한다. 그리고, 150°C의 대기 중에서 10분간 건조한 후, 400°C의 대기 중에서 30분간 가스성을 행한다. 상기 처리를 2000Å의 막 두께로 될 때까지 3회 내지 5회 반복한다. 그 후, 질소와 산소의 혼합 분위기 중에서 650°C에서 30초간 결정화의 열처리를 RTA법으로 행한다. 그 경우의 질소와 산소의 유량 비는 질소 유량:산소 유량=4:1로 한다.

다음에, 상기과 같이 형성된 강유전체 박막(210)(PZT막)과 하부 전극(208, 209)을 드라이에칭법으로, 이를 테면 2.6  $\mu$ m 각도의 크기로 가공한다. 그 후, 중간 절연막(212)으로서 CVD법에 의해 실리콘 산화막을

형성한 후, 강유전체 박막(210) 상의 층간 절연막(212)에 콘택홀을 형성한다.

그 다음, 상기 커패시터부의 상부에, DC마그네트론 스퍼터법으로 막 두께 1000 Å의 Pt막을 형성하여 상부 전극(213)으로 한다.

그 다음, 상기 상부 전극(213)을 염소 가스를 이용한 드라이에칭법으로 가공하고, CVD법으로 실리콘산화막을 형성하여 절연막(214)으로 한다. 그리고, 상기 CMOS부에 있어서 소스 영역(203)상에 콘택홀을 형성하고, DC마그네트론 스퍼터법으로 소스 영역(203)으로부터의 인출 전극(215)을 알루미늄으로 형성한다.

상기한 바와 같이 형성된 반도체 기억장치에 있어서 강유전체를 갖는 커패시터부의 상부 전극(213)과 인출 전극(215)의 사이에, 3각파를 인가하여 상기 강유전체 특성을 구하였다. 그 경우의 인가 3각파의 파고치는 1V와 5V이고, 주파수는 78kHz이다. 그 결과, 도15에 나타난 바와 같이, 5V에서의 포화분극치  $P_s = 15.2 \mu\text{C}/\text{cm}^2$ ,  $P_r = 8.8 \mu\text{C}/\text{cm}^2$ 이고, 강유전체 커패시터로서 사용하기에 충분히 큰 강유전 특성이 얻어졌다. 또한, 히스테리시스 루프의 대칭성이 무너지지 않기 때문에, 텅스텐 플러그(207)와 하부 전극(208, 209)의 사이에 양호한 접착이 이루어진다는 것이 입증되었다.

이와 같이, 본 실시 형태에서는, 텅스텐 플러그(207)의 바로 위에 형성되는 하부 전극(208)을 PtRh막/PtRhOx막(208, 209)의 2층으로 형성하고 있기 때문에, 강유전체 박막(210)의 막 제조 시에 텅스텐 플러그(207) 측에 투과하려는 산소 분위기가 PtRhOx막에 의해 차단된다. 따라서, 텅스텐 플러그(207)의 표면의 산화가 방지되고, 커패시터부와 CMOS부와 양호한 접착이 이루어진다.

그 결과, 종래의 반도체 기억장치와 같은 Ti의 배리어메탈을 필요로 하지 않고 커패시터부의 단차를 작게 할 수 있다.

더욱이, 텅스텐 플러그(207)의 바로 위에 PtRh막(208)을 형성하고 있기 때문에, PtRhOx막(209)을 형성할 때 산소가 텅스텐 플러그(207) 중에 확산하는 것을 방지할 수 있다. 따라서, 커패시터부와 CMOS부와 양호한 접착성이 더 향상될 수 있다.

이 경우, 상기 Pt는 Pt와의 반응성이 Si보다도 낮기 때문에, PtRh막(208) 형성시와 강유전체 박막(210)에 대한 열처리시에 텅스텐 플러그(207) 중의 Pt와 PtRh막(208) 중의 Pt는 반응하지 않는다. 따라서, 상기 하부 전극(208, 209)의 막 제조온도를 450°C로 할 수 있고, 양호한 막 질의 하부 전극(208, 209)을 제조할 수 있다. 즉, 본 실시 형태에 의하면, 상기 플러그와 하부전극과의 접착 저항을 낮고 안정한 값으로 할 수 있다.

또, 상기 실시 형태에서는, 강유전체 박막(210)에 대한 열처리시에 상층의 PtRhOx막(209)으로부터 텅스텐 플러그(207) 측으로의 산소 확산을 방지하기 위해, 하층의 하부 전극으로서 PtRh막(208)을 형성하고 있지만, Pt막이어도 동일한 효과를 얻을 수 있다. 이 경우에도, Pt막을 DC마그네트론 스퍼터법으로 형성하는 경우와 PtRhOx막을 DC마그네트론 반응성 스퍼터법으로 형성하는 경우에 상이한 타겟트를 사용하여 연속적으로 형성할 수 있고, 공정의 간략화를 도모할 수 있다.

(제11 실시 형태)

제10 실시 형태에 있어서 커패시터부의 하부전극(208)은 PtRh막, PtRhOx막의 순으로 2층으로 이루어진 데 반하여, 본 실시 형태에서는 PtRh막, PtRhOx막, Pt막의 3층으로 이루어진다.

도16은 본 실시 형태의 반도체 기억장치에 대한 단면도이다.

실리콘 기판(221), 게이트 전극(222), 소스 영역(223), 드레인 영역(224), 로코스 산화막(225), 층간 절연막(226), 강유전체 박막(231) 및 층간 절연막(233)은, 도1에 나타난 반도체 기억장치의 실리콘 기판(21), 게이트 전극(22), 소스 영역(23), 드레인 영역(24), 로코스 산화막(25), 층간 절연막(26), 강유전체 박막(31) 및 층간 절연막(32)과 동일한 구성을 갖고 있다.

상기 층간 절연막(226)에는 텅스텐 플러그(227)가 형성되어 있다. 그리고 층간 절연막(226)상에서 텅스텐 플러그(227)의 위치에는 PtRh막으로 이루어진 최하층의 하부 전극(228)과 PtRhOx막으로 이루어진 중간층의 하부 전극(229)과 Pt막으로 이루어진 최상층의 하부 전극(230)이 순차적으로 적층되어 있다. 또한, 커패시터부의 상부에는 Pt막으로 이루어진 상부 전극(234)이 적층되어 있다.

또한, 상기 하부 전극(228, 229, 230) 및 강유전체 박막(231)의 벽과 층간 절연막(233)의 사이, 강유전체 박막(231)의 상면과 층간 절연막(233)의 사이, 및 층간 절연막(226)과 층간 절연막(233)의 사이에는 산화 티탄막(232)이 형성되어 있다. 또, 235는 절연막(실리콘 산화막)이고, 236은 알루미늄의 인출 전극이다.

상기 구성의 반도체 기억장치는 하기와 같은 순서에 의해 제조된다. 즉, 제 10 실시 형태와 동일한 순서로 P형 실리콘 기판(221) 상에 로코스 산화막(225), 소스 영역(223), 드레인 영역(224), 게이트 전극(222) 및 층간 절연막(226)을 순차적으로 형성한다. 또한, 층간 절연막(226)에 텅스텐 플러그(227)를 형성하고 이 텅스텐 플러그(227)의 바로 위에 최하층의 하부 전극으로서의 PtRh막(228) 및 중간층의 하부 전극으로서의 PtRhOx막(229)을 형성한다.

또, 상기 PtRh막(228) 및 PtRhOx막(229)의 두께를 제한하는 이유, 상기 PtRh막(228) 및 PtRhOx막(229)의 원소 조성비를 제한하는 이유는 제 10 실시 형태의 경우와 동일하다.

그 다음, 상기 중간층의 하부 전극(229) 상에, DC마그네트론 스퍼터법으로 막 두께 500 Å의 Pt막을 막 제조 온도 450°C에서 형성하여 최상층의 하부 전극(230)으로 한다. 이와 같이, 하부 전극의 최상층에 날카롭게(111) 배향하고 있는 Pt막을 형성함으로써 후에 최상층의 하부 전극(230) 상에 형성되는 PZT막의 결정성이 좋아지고, 강유전성과 누설 전류 특성이 향상된다.

다음에, 제 10 실시 형태와 동일한 순서로 상기 강유전체 박막(231), 상부 전극(234), 절연막(235) 및 인출 전극(236)을 형성한다.



미와 같이 하여 형성된 반도체 기억장치의 강유전체 특성을 제 10 실시 형태와 동일하게 구하였다. 그 결과,  $P_s=43.4 \mu C/cm^2$ ,  $P_r=23.4 \mu C/cm^2$ 의 대칭성이 무너지지 않는 히스테리시스 루프가 얻어지고, 강유전체 커패시터로서 사용하기에 충분한 크기의 강유전 특성이 얻어짐과 동시에 텅스텐 플러그(227)와 하부 전극(228, 229, 230)의 사이에 양호한 접착이 이루어진다는 것이 입증되었다.

또한, 상기 하부 전극(228, 229, 230)의 최적 막 두께는  $1500 \text{ \AA}$ 으로 되고, 하부 전극과 폴리실리콘 플러그의 사이에 배리어메탈을 개재시킨 종래의 반도체 기억장치의 경우 보다도 커패시터부의 단차를 작게 하여 포토리소그래피 공정에서의 오차를 줄일 수 있다.

미와 같이, 본 실시 형태에 있어서는, 상기 커패시터부와 CMOS부의 접착을 하는 플러그를 따로 형성하고 있다. 따라서, PtRh막(228)의 형성시와 강유전체 박막(231)에 대한 열처리시에 텅스텐 플러그(227) 중의 Pt와 PtRh막(228)중의 Pt는 반응하지 않는다. 따라서, 하부 전극(228, 229, 230)의 막 제조온도를  $450^\circ C$ 에서 가능하고, 양호한 막 질의 하부 전극을 형성하여 상기 플러그와 하부 전극의 접착 저항을 낮고 안정한 값으로 할 수 있다.

더우기, 상기 하부 전극의 최상층에(111) 배향하고 있는 Pt막을 형성하고 있기 때문에 PZT막의 결정성이 좋게 되고, 강유전체 박막의 강유전성 및 누설 전류특성을 향상시킬 수 있다.

또, 상기 실시 형태에서는, PtRh<sub>0x</sub>막(209)을 형성할 때 산소가 텅스텐 플러그(207) 중에 확산하는 것을 방지하기 위해, 최하층의 하부 전극으로서 PtRh막(228)을 형성하고 있다. 또, 강유전체 박막(231)의 특성 향상을 위해, 최상층의 하부 전극으로서 Pt막(230)을 형성하고 있다. 그러나, 상기 하부 전극LE를 텅스텐 플러그(227)로부터 Pt막/PtRh<sub>0x</sub>막/Pt막의 순으로 혹은 Pt막/PtRh<sub>0x</sub>막/PtRh막의 순으로 형성해도 동일한 효과를 얻을 수 있다.

### 발명의 효과

상기 제1~8 실시 형태 및 제10~11 실시 형태에 있어서는, 강유전체 박막 형성용의 강유전체로서 PZT를 사용하고 있지만, PZT 대신에 PbTiO<sub>3</sub>, (Pb<sub>1-x</sub>La<sub>x</sub>)TiO<sub>3</sub>, (Pb<sub>1-x</sub>La<sub>x</sub>)(Zr<sub>1-x</sub>Ti<sub>x</sub>)O<sub>3</sub>, Bi<sub>2</sub>TiO<sub>5</sub>, BaTiO<sub>3</sub>, BaMgF<sub>6</sub>, LiNbO<sub>3</sub>, LiTaO<sub>3</sub>, SrBi<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub>, YMnO<sub>3</sub>, Sr<sub>2</sub>Nb<sub>2</sub>O<sub>7</sub>, La<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub>, SrBi<sub>2</sub>(Ta<sub>1-x</sub>Nb<sub>x</sub>)<sub>2</sub>O<sub>7</sub> 등을 사용해도 동일한 효과가 얻어진다. 또, 강유전체 대신에 제 9 실시 형태와 동일하게 고유전체인 (Ba<sub>1-x</sub>Sr<sub>x</sub>)TiO<sub>3</sub> ( $0 \leq x \leq 1$ )을 사용해도 동일한 효과가 얻어진다.

또, 상기 각 실시 형태에서는, 막 제조 방법으로서 졸겔법과 스퍼터링법을 이용하지만, MOD(Metal Organic Deposition)법, 진공증착법, MOCVD(Metal Organic CVD)법, 혹은 반응성 마그네트론 스퍼터링법을 이용해도 차이는 없다.

또, 상기 각 실시 형태에서는, 실리콘 기판으로서 P형 실리콘 기판을 사용하지만, N형 실리콘 기판을 사용해도 동일한 효과가 얻어진다는 것은 말할 필요도 없다.

### (5) 청구의 범위

청구항 1. 상부 전극, 유전체층 및 하부 전극을 갖는 커패시터부와 트랜지스터부를 플러그로 접속하여 이루어진 스택 구조의 반도체 기억장치에 있어서, 상기 하부 전극은 상기 플러그의 바로 위에 설치되고, 백금, 백금로듐 합금, 및 백금로듐 합금의 산화물층 적어도 상기 백금로듐 합금의 산화물로 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 2. 제 1항에 있어서, 상기 플러그는 폴리실리콘으로 형성되어 있고, 상기 하부 전극은 상기 플러그측으로부터 순차적으로 형성된 백금로듐 합금산화물막, 백금로듐 합금막 및 백금로듐 합금산화물 막을 구비한 것을 특징으로 하는 반도체 기억장치.

청구항 3. 제 1항에 있어서, 상기 플러그는 폴리실리콘으로 형성되고, 상기 하부 전극은 상기 플러그측으로부터 순차적으로 형성된 백금로듐 합금 산화물 막 및 백금로듐 합금막을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 4. 제 1항에 있어서, 상기 플러그는 폴리실리콘으로 형성되고, 상기 하부 전극은 백금로듐 합금 산화물 만으로 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 5. 제 1항에 있어서, 상기 플러그는 텅스텐에 의해 형성되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 6. 제 5항에 있어서, 상기 하부 전극은 상기 텅스텐 플러그 측으로부터 순차적으로 형성된 백금 막 또는 백금로듐 합금막의 어느 하나와 백금로듐합금 산화물 막을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 7. 제 6항에 있어서, 상기 하부 전극은 상기 백금로듐합금 산화물 층의 위에 백금막 또는 백금로듐 합금막의 어느 하나를 더 포함하는 것을 특징으로 하는 반도체 기억장치.

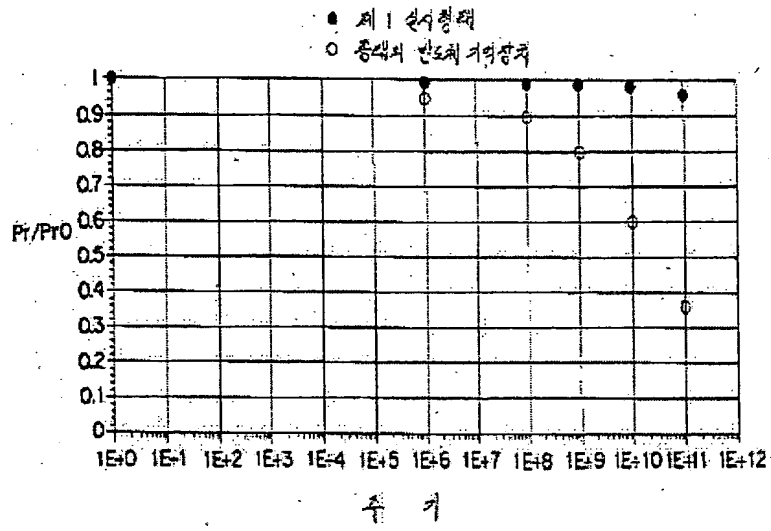
청구항 8. 제 1항에 있어서, 실리콘 기판 상에 트랜지스터를 형성하여 중간절연막으로 피복하는 공정, 상기 중간 절연막에 상기 트랜지스터의 드레인 영역과 연통하는 콘택홀을 개방하여 플러그재료를 매립하여 플러그를 형성하는 공정,

상기 플러그의 바로 위에 백금, 백금로듐 합금, 및 백금로듐 합금의 산화물층 적어도 상기 백금로듐 합금의 산화물로 하부 전극을 형성하는 공정,

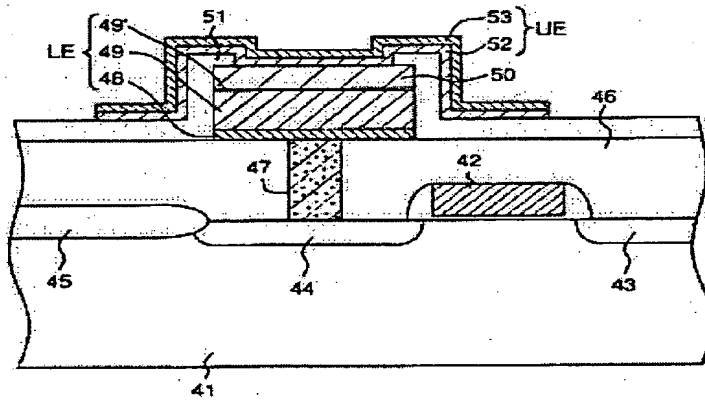
질소 분위기 중에서 열처리하는 공정, 및



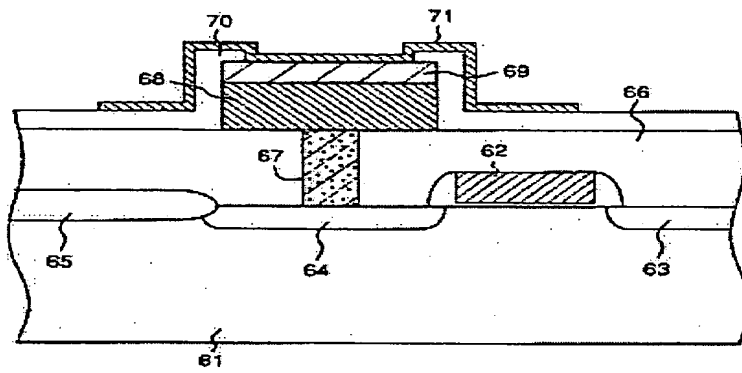
도 13



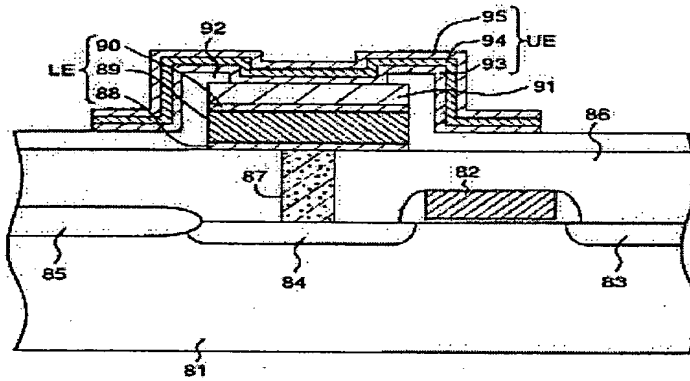
도 14



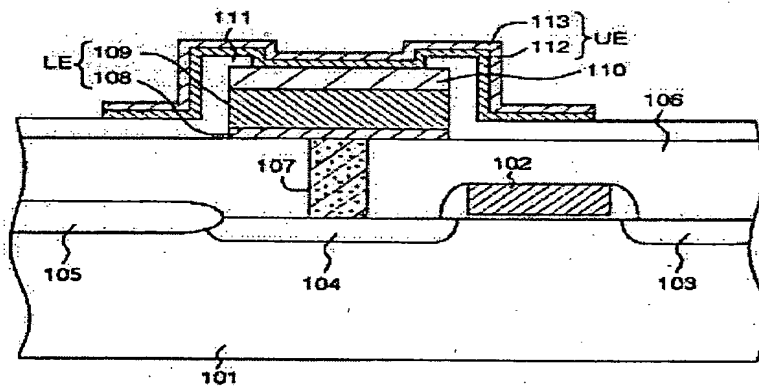
도 85



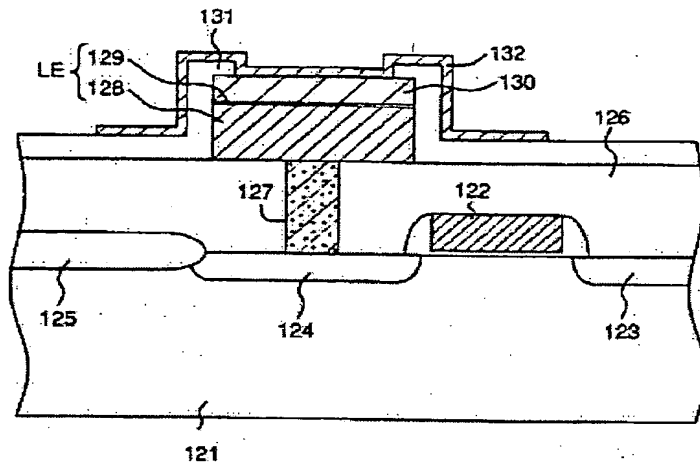
도 86



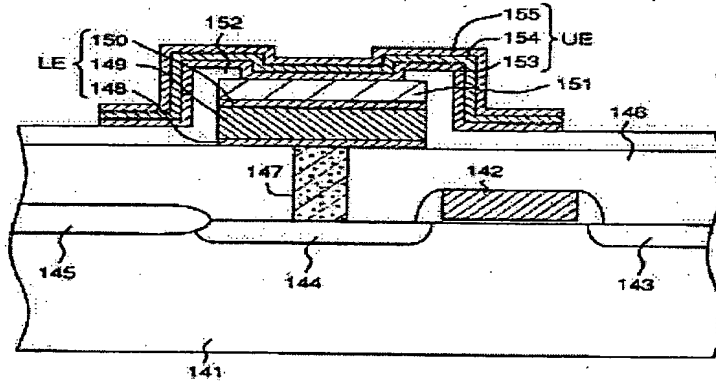
도 87



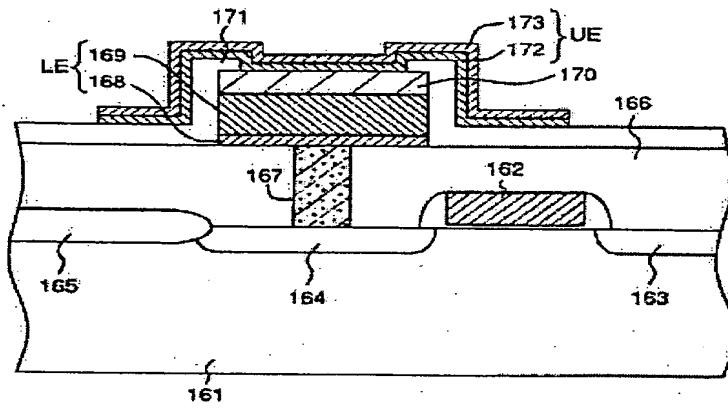
도 88



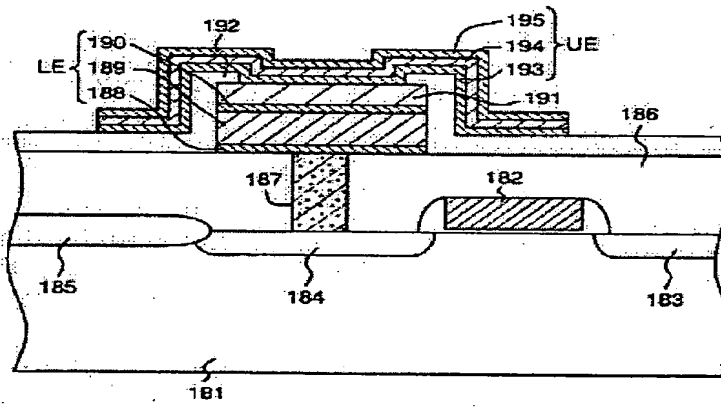
도 89



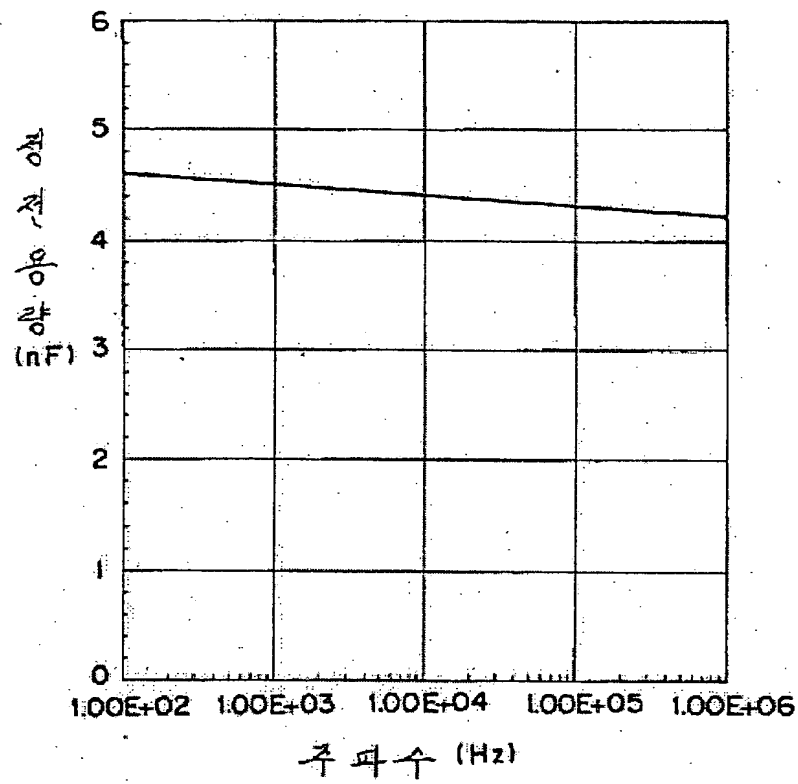
도 10



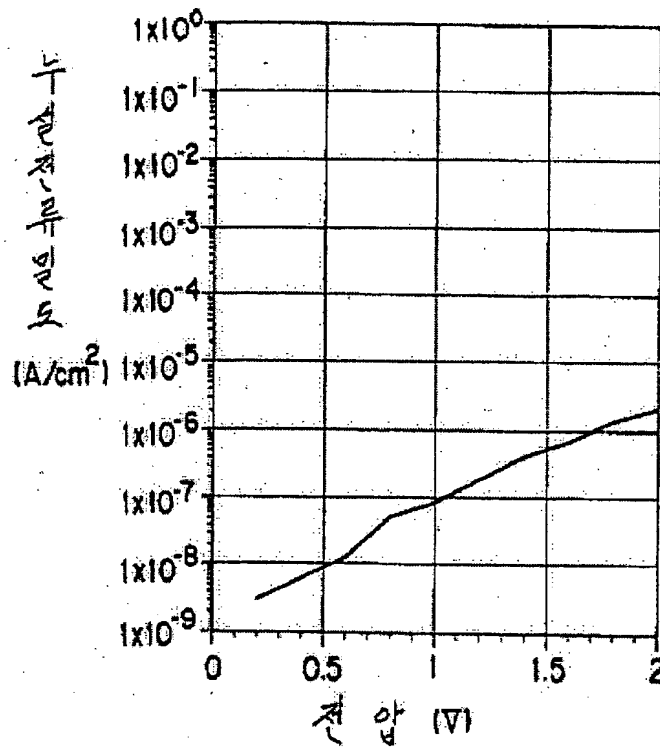
도 11



도면 2

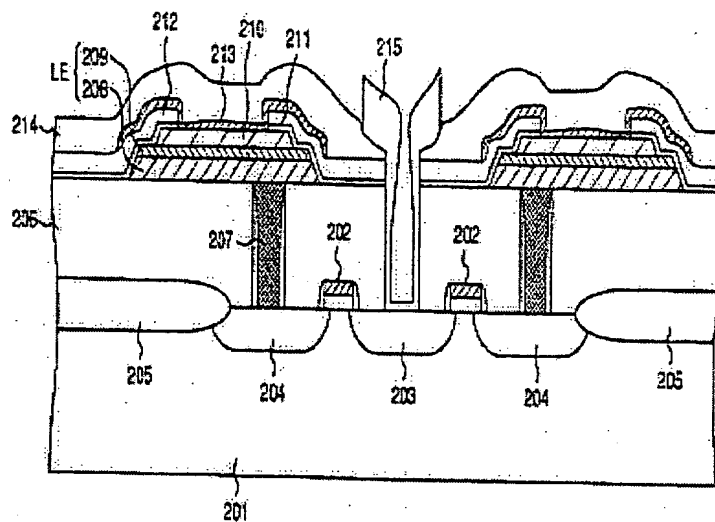


도면 23

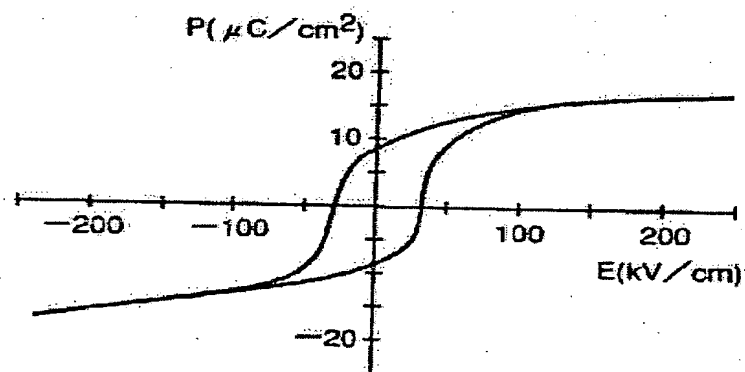




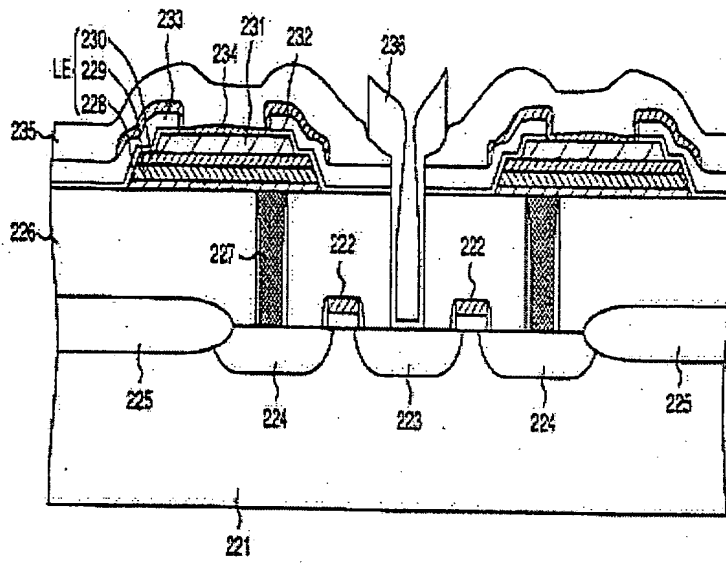
도면 14



도면 15



도 18



도 19

